

Docket No.: 67161-075

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Tomoshi FUTATSUYA, et al.

Serial No.:

Group Art Unit:

Filed: July 23, 2003

Examiner:

For: NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE THAT CAN BE FABRICATED
WITH ERASURE UNIT MODIFIED

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-017568, filed January 27, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker

Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 23, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

67161-075
Tomoshi Futatsuya, et al.
July 23, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月27日

出 願 番 号
Application Number:

特願2003-017568

[ST.10/C]:

[JP2003-017568]

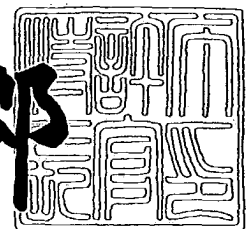
出 願 人
Applicant(s):

三菱電機株式会社

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3009177

【書類名】 特許願

【整理番号】 542790JP01

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 17/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 ニッ谷 知士

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 早坂 隆

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 小倉 卓

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 一括消去の単位となる第 1 の基本メモリブロックと、
各々が前記第 1 の基本メモリブロックよりも小さな記憶容量を有し、一括消去の単位となる複数の第 2 の基本メモリブロックと、

消去コマンドに応じて前記複数の第 2 の基本メモリブロックのうちの 1 つを消去する第 1 の動作と、前記消去コマンドに応じて前記複数の第 2 の基本メモリブロックをまとめて消去する第 2 の動作とを、切換信号に応じて切換える消去制御回路とを備える、不揮発性半導体記憶装置。

【請求項 2】 前記複数の第 2 の基本メモリブロックのうちの少なくとも 1 つは、前記不揮発性半導体記憶装置が用いられるシステムの立ち上げ時に読出されるブートブロックである、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記複数の第 2 の基本メモリブロックのうちの少なくとも 1 つは、前記第 1 の基本メモリブロックに書込むデータよりも書換える可能性が高いデータを書込むメモリブロックである、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 4】 所定の固定電位を与えるリードと、
前記消去制御回路に対して前記切換信号の極性を切替えるためのパッドとをさらに備え、

前記消去制御回路は、
前記リードと前記パッドとをワイヤボンディングした場合に、前記切換信号を第 1 の極性に設定する切換信号発生回路を含む、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記消去制御回路は、
前記切換信号を出力する切換信号発生回路を含み、
前記切換信号発生回路は、
記憶内容に応じて前記切換信号を決定するための不揮発な記憶素子を含む、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 6】 前記不揮発な記憶素子は、接続の有無に応じて前記切換信号を決定するヒューズ素子である、請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】 前記不揮発な記憶素子は、前記第 1、第 2 の基本メモリブロックに含まれている不揮発性メモリセルと同じ構造を有する、請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 8】 前記消去制御回路は、
前記第 2 の動作を行なう場合に、一括して複数の不揮発性メモリセルにパルスを与えるときには前記複数の第 2 の基本メモリブロックをまとめて選択する、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 9】 前記消去制御回路は、
前記第 2 の動作を行なう場合に、前記複数の第 2 の基本メモリブロックを順次選択し、選択した基本メモリブロックの消去が完了してから次の基本メモリブロックの消去動作を開始する、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 10】 前記複数の第 2 の基本メモリブロックと、前記第 1 の基本メモリブロックとは、所定のアドレス領域に割り当てられ、

前記複数の第 2 の基本メモリブロックは、前記所定のアドレス領域において最上位側に配置される、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 11】 前記複数の第 2 の基本メモリブロックと、前記第 1 の基本メモリブロックとは、所定のアドレス領域に割り当てられ、

前記複数の第 2 の基本メモリブロックは、前記所定のアドレス領域において最下位側に配置される、請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 12】 各々が前記第 1 の基本メモリブロックよりも小さな記憶容量を有し、一括消去の単位となる複数の第 3 の基本メモリブロックをさらに備え、

前記複数の第 3 の基本メモリブロックと前記複数の第 2 の基本メモリブロックと前記第 1 の基本メモリブロックとは、所定のアドレス領域に割り当てられ、

前記複数の第 2 の基本メモリブロックと前記複数の第 3 の基本メモリブロックのいずれか一方は、前記所定のアドレス領域において最上位側に配置され、他方は前記所定のアドレス領域において最下位側に配置される、請求項 1 に記載の不

揮発性半導体記憶装置。

【請求項 1 3】 一括消去の単位となる第 1 の基本メモリブロックと、
各々が前記第 1 の基本メモリブロックよりも小さな記憶容量を有し、一括消去
の単位となる複数の第 2 の基本メモリブロックと、
消去コマンドに応じて前記複数の第 2 の基本メモリブロックのうちの 1 つを消
去する第 1 の動作と、前記消去コマンドに応じて前記第 1 の基本メモリブロック
を消去する第 2 の動作とを、切換信号に応じて切換える消去制御回路とを備える
、不揮発性半導体記憶装置。

【請求項 1 4】 所定の固定電位を与えるリードと、
前記消去制御回路に対して前記切換信号の極性を切替えるためのパッドとをさ
らに備え、
前記消去制御回路は、
前記リードと前記パッドとをワイヤボンディングした場合に、前記切換信号を
第 1 の極性に設定する切換信号発生回路を含む、請求項 1 3 に記載の不揮発性半
導体記憶装置。

【請求項 1 5】 前記消去制御回路は、
前記切換信号を出力する切換信号発生回路を含み、
前記切換信号発生回路は、
記憶内容に応じて前記切換信号を決定するための不揮発な記憶素子を含む、請
求項 1 3 に記載の不揮発性半導体記憶装置。

【請求項 1 6】 前記不揮発な記憶素子は、接続の有無に応じて前記切換信
号を決定するヒューズ素子である、請求項 1 5 に記載の不揮発性半導体記憶装置
。

【請求項 1 7】 前記不揮発な記憶素子は、前記第 1、第 2 の基本メモリブ
ロックに含まれている不揮発性メモリセルと同じ構造を有する、請求項 1 5 に記
載の不揮発性半導体記憶装置。

【請求項 1 8】 前記複数の第 2 の基本メモリブロックと、前記第 1 の基本
メモリブロックとは、所定のアドレス領域に割り当てられ、
前記複数の第 2 の基本メモリブロックは、前記所定のアドレス領域において最

上位側に配置される、請求項 1 3 に記載の不揮発性半導体記憶装置。

【請求項 1 9】 前記複数の第 2 の基本メモリブロックと、前記第 1 の基本メモリブロックとは、所定のアドレス領域に割り当てられ、

前記複数の第 2 の基本メモリブロックは、前記所定のアドレス領域において最下位側に配置される、請求項 1 3 に記載の不揮発性半導体記憶装置。

【請求項 2 0】 各々が前記第 1 の基本メモリブロックよりも小さな記憶容量を有し、一括消去の単位となる複数の第 3 の基本メモリブロックをさらに備え、

前記複数の第 3 の基本メモリブロックと前記複数の第 2 の基本メモリブロックと前記第 1 の基本メモリブロックとは、所定のアドレス領域に割り当てられ、

前記複数の第 2 の基本メモリブロックと前記複数の第 3 の基本メモリブロックのいずれか一方は、前記所定のアドレス領域において最上位側に配置され、他方は前記所定のアドレス領域において最下位側に配置される、請求項 1 3 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、不揮発性半導体記憶装置に関し、より特定的には、消去単位ブロック構成が変更可能なフラッシュメモリに関する。

【0 0 0 2】

【従来の技術】

フラッシュメモリは、機能的には、一括消去型の電氣的に書込消去が可能な不揮発性半導体記憶装置である。フラッシュメモリはその低コスト性および電氣的消去機能を有することから携帯機器等に大きな需要があり、近年盛んに研究開発が行なわれている。フラッシュメモリは、たとえばフローティングゲートを有し、しきい値電圧を変化させることができるトランジスタ（以下、メモリトランジスタと称する）をメモリセルとして使用する。

【0 0 0 3】

図 2 6 は、従来のフラッシュメモリのアレイ構成を示した図である。

図 2 6 においては、説明を簡単にするために、全体で 8 M ビットのメモリアレイの場合について説明している。メモリアレイ 5 0 0 は、各々が 4 k ワード (6 4 k ビット) に相当するメモリセルで構成されるブロック B 0 0 0 ~ B 0 0 7 と、各々が 3 2 k ワード (5 1 2 k ビット) に相当するメモリセルで構成されるブロック B 0 0 8 ~ B 0 2 2 と、ブロック B 1 0 0 とを含む。ブロック B 0 0 0 ~ B 0 2 2 は、各々がフラッシュメモリにおける消去動作の基本単位となるブロックである。

【 0 0 0 4 】

フラッシュメモリでは、4 k ワードの領域が必要とされることが多く、このため、メモリアレイ 5 0 0 は、通常のデータ格納領域よりも記憶容量の少ないブロック B 0 0 0 ~ B 0 0 7 を含んでいる。このような 4 k ワードの領域は、たとえばブートブロックやパラメタブロックと呼ばれる。

【 0 0 0 5 】

ブートブロックは、電源が投入された直後のシステム立ち上げ時に、フラッシュメモリが搭載されるシステムの CPU がリードする領域である。また、パラメタブロックは、頻繁に書換える可能性の高いデータを仮に書込んでおく領域である。一方、3 2 k ワードの記憶容量のブロックは、通常のデータやプログラムを格納する領域として使用される。フラッシュメモリでは、このように、用途により異なるサイズのブロックを備える必要がある。

【 0 0 0 6 】

なお、ブロック B 1 0 0 は、アドレス割当上はブロック B 0 0 0 ~ B 0 0 7 に相当する領域であり、未使用とされる領域である。未使用であっても、メモリブロック B 1 0 0 はメモリアレイ上の信号の連続性を保つ必要性から、ブロック B 0 0 8 ~ B 0 2 2 の各構成と同様な構成を有している。

【 0 0 0 7 】

メモリブロックの選択はブロックの縦方向の位置を選択するためのブロック選択信号 B A V S 0, B A V S 1, B A V M 0 ~ B A V M 3 と、ブロックの横方向の位置を選択するためのブロック選択信号 B A H 0 ~ B A H 3 とによって行なわれる。縦方向のブロック位置と、横方向のブロック位置とがともに活性化され

ると、その交点にあたるブロックの選択が行なわれる。たとえば、ブロック B 0 0 8 を選択する場合には、選択信号 B A V M 0 および B A H 1 が活性化され、残りの選択信号は非活性化される。

【 0 0 0 8 】

図 2 7 は、メモリブロックの選択信号を発生する従来のブロック選択デコーダの構成を示したブロック図である。

【 0 0 0 9 】

図 2 6、図 2 7 を参照して、ブロック選択デコーダ 5 0 2 は、外部から与えられるアドレス信号のアドレスビット A 1 2 ~ A 1 8 を用いてブロック選択信号 B A V S 0, B A V S 1, B A V M 0 ~ B A V M 3, B A H 0 ~ B A H 3 を発生する。ブロック選択デコーダ 5 0 2 は、アドレスビット A 1 5, A 1 6, A 1 7, A 1 8 を受けて選択信号 B O P を出力する 4 入力の NOR 回路 5 6 2 と、アドレスビット A 1 4, A 1 7, A 1 8 および選択信号 B O P に応じて縦方向位置の選択信号 B A V S 0, B A V S 1, B A V M 0 ~ B A V M 3 を出力する縦方向ブロック選択回路 5 6 4 と、アドレスビット A 1 2, A 1 3, A 1 5, A 1 6 および選択信号 B O P に応じて横方向位置の選択信号 B A H 0 ~ B A H 3 を出力する横方向ブロック選択回路 5 6 6 とを含む。

【 0 0 1 0 】

縦方向ブロック選択回路 5 6 4 は、選択信号 B O P に応じて活性化されアドレスビット A 1 4 をデコードして信号 B A V S 0, B A V S 1 を出力するアドレスデコード部 5 8 2 と、選択信号 B O P が非活性化時に動作し、選択信号 B O P が活性化されると動作を停止するアドレスデコード部 5 8 4 とを含む。アドレスデコード部 5 8 4 は、活性化時にはアドレスビット A 1 7, A 1 8 をデコードして信号 B A V M 0 ~ B A V M 3 を出力する。

【 0 0 1 1 】

横方向ブロック選択回路 5 6 6 は、選択信号 B O P が活性化されるとアドレスビット A 1 2, A 1 3 を選択アドレスビット S A 0, S A 1 として出力し、選択信号 B O P が非活性化時にはアドレスビット A 1 5, A 1 6 を選択アドレスビット S A 0, S A 1 として出力するアドレス選択部 6 1 0 と、選択アドレスビット

SA0, SA1 をデコードして信号BAH0～BAH3 を出力するアドレスデコード部612 とを含む。

【0012】

図26に示した8Mビットのメモリアレイの場合、1ワード16ビット構成をとると32kワードブロックを選択するアドレスビットはA15, A16, A17, A18である。また、4kワードブロックを選択するアドレスビットはA12, A13, A14である。ここに説明する従来例では、図26のとおり横方向に4ブロックのメモリブロックが配置される構成の場合を説明する。

【0013】

まず、NOR回路562によって4kワード領域を選択する信号BOPの活性／非活性が決定される。

【0014】

メモリブロックB008～B022に相当するアドレスが入力される場合には信号BOPは非活性化されアドレスデコード部582は信号BAVS0, BAVS1を非活性化し、アドレスデコード部584はアドレスビットA17, A18に応じて縦方向のメモリブロックの選択信号BAVM0～BAVM3のいずれか1つを活性化させる。

【0015】

この場合、アドレス選択部610はアドレスビットA15, A16を選択アドレスビットSA0, SA1として出力するので、アドレスデコード部612はアドレスビットA15, A16をデコードして選択信号BAH0～BAH3のいずれか1つを活性化する。

【0016】

一方、アドレスビットA15～A18がすべてLレベルの場合には、選択信号BOPが活性化される。これは、図26の不使用とされるメモリブロックB100に対応するアドレス入力があったことを示している。この場合には、メモリブロックB100を選択する代わりにメモリブロックB000～B007のうちの対応する領域を選択している。具体的には、信号BOPの活性化時にはアドレスデコード部584は非活性化され信号BAVM0～BAVM3は非活性化される

。そしてアドレスデコード部 5 8 2 によってアドレスビット A 1 4 がデコードされ信号 B A V S 0, B A V S 1 のいずれか一方が活性化される。

【 0 0 1 7 】

また、信号 B O P が活性化時には、アドレス選択部 6 1 0 はアドレスビット A 1 2, A 1 3 を選択アドレスビット S A 0, S A 1 として出力するので、アドレスデコード部 6 1 2 はアドレスビット A 1 2, A 1 3 をデコードし、信号 B A H 0 ~ B A H 3 のいずれか 1 つを活性化させる。

【 0 0 1 8 】

従来は、ブロック選択デコーダ 5 0 2 によって決定されるブロック分割およびアドレス割当は常に固定されていた。つまり、8 M ビット分の領域は、常に 4 k ワードブロックが 8 ブロック、3 2 k ワードブロックが B 0 0 8 ~ B 0 2 2 の 1 5 ブロックの合計 2 3 ブロックとして扱われていた。

【 0 0 1 9 】

以上説明したように、図 2 6 のメモリアレイ 5 0 0 は、使用するメモリブロックが B 0 0 0 ~ B 0 2 2 の 2 3 ブロック存在するため、8 M ビットのメモリアレイ全体を消去するためには、2 3 回の消去動作をチップ外部より指示する必要がある。

【 0 0 2 0 】

また、図 2 6 では、4 k ワードのブロック 8 ブロックつまりブロック B 0 0 0 ~ B 0 0 7 がアドレスの最下位側に割当てられている。これはボトムブートタイプと呼ばれる。しかし、使用されるシステムによっては 4 k ワードのブロックがアドレスの最上位側に割当てられるトップブートタイプのフラッシュメモリが要求される場合もある。従来においては、ボトムブートタイプのメモリをトップブートタイプのメモリに変更して使用するためにアドレス入力バッファにおいて特定のアドレスビットを反転することが行なわれていた。

【 0 0 2 1 】

図 2 8 は、従来のアドレス入力バッファ 5 1 6 の構成を示す回路図である。

図 2 8 を参照して、アドレス入力バッファ 5 1 6 は、トップブートタイプのメモリに切換えて使用する場合に活性化される信号 T O P に応じてアドレスビット

A 1 5, A 1 6, A 1 7 の正転／反転をそれぞれ切換えるアドレス反転回路 5 2 0, 5 2 2, 5 2 4 を含む。

【0 0 2 2】

アドレス反転回路 5 2 0 は、外部から与えられるアドレスビット ext. A 1 5 を受けて反転するインバータ 5 2 6 と、信号 TOP を受けて反転するインバータ 5 2 8 と、インバータ 5 2 6 の出力と信号 TOP とを受ける NAND 回路 5 3 0 と、アドレスビット ext. A 1 5 とインバータ 5 2 8 の出力とを受ける NAND 回路 5 3 2 と、NAND 回路 5 3 0, 5 3 2 の出力を受けてアドレスビット A 1 5 を出力する NAND 回路 5 3 4 とを含む。

【0 0 2 3】

アドレス反転回路 5 2 2 は、アドレスビット ext. A 1 6 が入力されアドレスビット A 1 6 を出力する点が異なるが、内部の構成はアドレス反転回路 5 2 0 と同様であり説明は繰返さない。アドレス反転回路 5 2 4 は、アドレスビット ext. A 1 7 が入力されアドレスビット A 1 7 を出力する点が異なるが、内部の構成はアドレス反転回路 5 2 0 と同様であり説明は繰返さない。

【0 0 2 4】

図 2 9 は、従来の他のフラッシュメモリのアレイ構成を示す図である。

図 2 9 を参照して、ブロック B 0 0 0 ～ B 0 1 5 は、各々が 3 2 k ワード (5 1 2 k ビット) に相当するメモリセルで構成されるメモリブロックである。メモリアレイ 7 0 0 には、4 k ワード相当のメモリセルで構成されるメモリブロックはなく、すべてが 3 2 k ワード相当のメモリセルで構成される 1 6 ブロックで 8 M ビット領域が構成されている。図 2 6 のメモリアレイ 5 0 0 の場合は、8 M ビット領域の消去には 2 3 回の消去動作が必要であったが、メモリアレイ 7 0 0 の場合では、8 M ビット領域の消去には 1 6 回の消去動作で済む。

【0 0 2 5】

【特許文献 1】

特開 2 0 0 2-1 3 3 8 7 7 号公報

【0 0 2 6】

【発明が解決しようとする課題】

従来は、ブロック分割および各ブロックへのアドレス割当は常に固定されていた。その結果、たとえば図 2 6 で説明したように 8 M ビットのフラッシュメモリの製品では、4 k ワードのブロックを有する仕様の製品では、4 k ワードブロックが 8 ブロック、3 2 k ワードブロックが 1 5 ブロックの合計 2 3 ブロックが存在する。

【0 0 2 7】

一方、図 2 9 で説明したように 4 k ワードのブロックを持たないフラッシュメモリの製品では、3 2 k ワードブロック 1 6 ブロックで 8 M ビットを構成していた。すなわち、4 k ワードの有無で、全く別の製品として設計、製造する必要があった。

【0 0 2 8】

また、フラッシュメモリの容量の拡大に伴い、アドレス割当の最上位側または最下位側だけでなく、アドレス最下位側、最上位側の双方に 4 k ワードブロックのブートブロックを持つチップが開発されている。このようなチップをデュアルブートタイプのチップと呼ぶ。デュアルブートタイプのチップを 2 チップ組合わせて大きなメモリ空間として用いる場合には、アドレス空間の中央部分に 4 k ワードの細切れのブロックが存在することとなり、使い勝手が悪くなってしまうという問題点もある。

【0 0 2 9】

この発明は、以上のような問題点を解決するためになされたものである。この発明は、複数の消去ブロックに分割されそのうちに小さな記憶容量のブロックたとえばブートブロックを含むフラッシュメモリにおいて 4 k ワードブロックを持つフラッシュメモリと 4 k ワードブロックを持たないフラッシュメモリとを 1 チップで同時に実現し、設計、製造を簡単化することを目的とする。

【0 0 3 0】

【課題を解決するための手段】

この発明は、要約すると、不揮発性半導体記憶装置であって、一括消去の単位となる第 1 の基本メモリブロックと、複数の第 2 の基本メモリブロックと、消去制御回路とを備える。複数の第 2 の基本メモリブロックは、各々が第 1 の基本メ

メモリブロックよりも小さな記憶容量を有し、一括消去の単位となる。消去制御回路は、消去コマンドに応じて複数の第2の基本メモリブロックのうちの1つを消去する第1の動作と、消去コマンドに応じて複数の第2の基本メモリブロックをまとめて消去する第2の動作とを、切換信号に応じて切換える。

【0031】

この発明の他の局面に従う不揮発性半導体記憶装置は、一括消去の単位となる第1の基本メモリブロックと、複数の第2の基本メモリブロックと、消去制御回路とを備える。複数の第2の基本メモリブロックは、各々が第1の基本メモリブロックよりも小さな記憶容量を有し、一括消去の単位となる。消去制御回路は、消去コマンドに応じて複数の第2の基本メモリブロックのうちの1つを消去する第1の動作と、消去コマンドに応じて第1の基本メモリブロックを消去する第2の動作とを、切換信号に応じて切換える。

【0032】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。
なお、図中同一符号は同一または相当部分を示す。

【0033】

〔実施の形態1〕

図1は、本発明の実施の形態1の不揮発性記憶装置の構成を示す概略ブロック図である。

【0034】

図1を参照して、不揮発性半導体記憶装置1は、入出力データバッファ22と、書込、読出、消去の制御を行なう制御部2と、ロウ・コラムデコーダ20と、Yゲート24と、メモリアレイ26とを含む。

【0035】

入出力データバッファ22は、書込時にはチップの外部から信号DQ0～DQ15を受け、読出時にはチップの外部へと信号DQ0～DQ15を出力する。

【0036】

制御部 2 は、プログラム&ベリファイ回路 4 と、センスアンプ 6 と、内部コントローラ 8 と、アドレスバッファ 1 6 と、プリデコーダ 1 8 と、切換信号発生回路 1 0 とを含む。内部コントローラ 8 は、外部から信号 C E, W E, O E, R P, W P などの制御信号を受けて外部から与えられた指示を認識してアドレスバッファ 1 6, プリデコーダ 1 8 およびプログラム&ベリファイ回路 4 の制御を行なう。また内部コントローラ 8 は、電源がチップに対して投入された際に切換信号発生回路 1 0 に出力するパワーオンリセット信号 P O R を一定期間活性化した後、にリセット解除を行なう。

【 0 0 3 7 】

切換信号発生回路 1 0 は、所定の設定に応じて信号 B O O T E を出力する。アドレスバッファ 1 6 は、外部から与えられるアドレス信号のアドレスビット e x t. A 0 ~ e x t. A 1 8 をそれぞれ受けてアドレスビット A 0 ~ A 1 8 をプリデコーダ 1 8 に出力する。プリデコーダ 1 8 は、内部コントローラ 8 から与えられる信号 B L K S E L などの制御信号および切換信号発生回路 1 0 から与えられる信号 B O O T E によって動作の切換がなされ、アドレスビット A 0 ~ A 1 8 のデコードの結果を変化させる。プリデコーダ 1 8 は、デコード結果をロウ・コラムデコーダ 2 0 に出力する。

【 0 0 3 8 】

メモリアレイ 2 6 は、4 k ワードの記憶容量を有するメモリブロック B 0 0 0 ~ B 0 0 7 と、各々が 3 2 k ワードの記憶容量を有するメモリブロック B 0 0 8 ~ B 0 2 2, B 1 0 0 とを含む。ただし、メモリブロック B 1 0 0 は通常は使用されない領域であるが、メモリアレイの製造上の便宜のためパターンの連続性を保つためメモリブロック B 0 0 8 ~ B 0 2 2 と同様な構成となっている。

【 0 0 3 9 】

ブロック B 0 0 0 ~ B 0 0 7 は、通常のブロックよりも小さな記憶容量のブートブロックおよびパラメタブロックである。ブートブロックが不要の場合には、ボンディングオプション等で信号 B O O T E を L レベルに設定する。消去時において信号 B L K S E L が H レベルの場合には制御部 2 は、横方向に並ぶ 4 ブロックの同時選択を行なう。また、制御部 2 は、このとき、縦方向の 2 ブロックの同

時選択を行なう。その結果ブロック B 0 0 0 ~ B 0 0 7 の 8 つのブロックの選択が行なわれる。ブートブロックおよびパラメタブロックは、通常ブロックと同様の容量を有する 1 つのブロックとして一括消去が可能となる。

【 0 0 4 0 】

図 2 は、メモリアレイ 2 6 の各々のメモリブロックに行列状に配列されるメモリトランジスタ M T の説明をするための断面図である。

【 0 0 4 1 】

図 2 を参照して、メモリトランジスタ M T は、基板 S U B 上に形成される不純物領域であるソース S およびドレイン D と、ソース S とドレイン D の間の領域の上部に形成されるフローティングゲート F と、フローティングゲート F のさらに上部に形成されるコントロールゲート G とを含む。

【 0 0 4 2 】

コントロールゲートに与える電圧 V G , ソースに与える電圧 V S , ドレインに与える電圧 V D および基板部に与える電圧 V W E L L を所定の条件とすることによりメモリトランジスタ M T のフローティングゲート F にチャージされる電荷量を変化させることができ、これによりメモリトランジスタ M T のしきい値電圧が変化するので、メモリトランジスタ M T はしきい値電圧の値によって与えられた情報を記憶することができる。

【 0 0 4 3 】

図 3 は、図 1 における切換信号発生回路 1 0 の構成を示した回路図である。

図 3 を参照して、切換信号発生回路 1 0 は、信号 # N O B O O T が与えられるパッド 5 6 とノード N 2 との間に接続される抵抗 3 2 と、信号 # B O O T が与えられるパッド 5 8 とノード N 1 との間に接続される抵抗 3 4 と、ノード N 1 と電源電位 V C C が与えられるノードとの間に接続されるキャパシタ 3 6 と、ノード N 2 と接地ノードとの間に接続されるキャパシタ 4 2 と、ノード N 2 に入力 that 接続されノード N 1 に出力が接続されるインバータ 3 8 と、ノード N 1 に入力 that 接続されノード N 2 に出力が接続されるインバータ 4 0 と、ノード N 2 に入力 that 接続されるインバータ 4 4 と、インバータ 4 4 の出力を受けて反転し信号 B O O T E を出力するインバータ 4 6 とを含む。

【0 0 4 4】

図4は、図3の切換信号発生回路に対するボンディングオプションの説明をするための図である。

【0 0 4 5】

図5は、信号#NOBOOT、#BOOTの設定状態と切換のための信号BOOTEの関係を説明するための図である。

【0 0 4 6】

図4、図5を参照して、信号#NOBOOTが与えられるパッド56をLレベルに設定するときには、チップ50の周囲に存在する複数のリードのうち接地電位が与えられているリード52とパッド56とをワイヤ54によって接続する。この場合はパッド58はいずれのリードにも接続されないか、または電源電位が与えられるリードに他のワイヤによって接続される。このように設定すると切換のための信号BOOTEはLレベルに設定される。

【0 0 4 7】

信号BOOTEがLレベルに設定されると、図1のメモリブロックB000～B007は1つの32kワードの記憶容量を有するブロックとして1回の指示で一括消去することができる。ブートブロックが必要でない場合には、消去時間を短くするためこのようにボンディングオプションが選択されて、不揮発性半導体記憶装置の生産が行なわれる。

【0 0 4 8】

一方、ワイヤ54で接続しないでその代わりにワイヤ55によってリード52とパッド58とを接続した場合には信号#BOOTがLレベルに設定される。そしてこの場合にはパッド56は電源電位が与えられるリードに他のワイヤを用いて接続してもよいし未接続状態でもよい。このように設定すると切換のための信号BOOTEはHレベルに設定される。

【0 0 4 9】

信号BOOTEがHレベルに設定された場合にはブートブロックが必要とされる場合に相当し、メモリブロックB000～B007は各々が消去単位の基本として取扱われる。

【 0 0 5 0 】

図 6 は、図 1 のプリデコーダの構成を説明するためのブロック図である。

図 6 を参照して、プリデコーダ 1 8 は、アドレスビット A 1 5, A 1 6, A 1 7, A 1 8 を受け信号 B O P を出力する 4 入力 NOR 回路 6 2 と、制御信号として信号 B O O T E, B L K S E L および B O P を受けアドレスビット A 1 4, A 1 7, A 1 8 に応じて縦方向のブロック位置の選択を行なう信号 B A V S 0, B A V S 1, B A V M 0 ~ B A V M 3 を出力する縦方向ブロック選択回路 6 4 と、制御信号として信号 B O O T E, B L K S E L および B O P を受けアドレスビット A 1 2, A 1 3, A 1 5, A 1 6 に基づいて横方向のブロック位置の選択を行なうための信号 B A H 0 ~ B A H 3 を出力する横方向ブロック選択回路 6 6 と、アドレスビット A 6 ~ A 1 5 を受けて行選択に関するプリデコード信号 P D R O W を出力するプリデコード回路 6 8 と、アドレスビット A 0 ~ A 5 に基づいて列選択に関するプリデコード信号 P D C O L を出力するプリデコード回路 7 0 とを含む。

【 0 0 5 1 】

信号 B A V S 0, B A V S 1, B A V M 0 ~ B A V M 3 および信号 B A H 0 ~ B A H 3、プリデコード信号 P D R O W に基づいてロウデコーダ 7 2 は行選択を行なう。また信号 B A H 0 ~ B A H 3 およびプリデコード信号 P D C O L に基づいてコラムデコーダ 7 4 は列選択を行なう。

【 0 0 5 2 】

制御信号として与えられる信号 B O O T E は図 1 の切換信号発生回路 1 0 によって発生される信号であり、4 k ワードのブートブロックが必要な場合に H レベルに設定される。また信号 B L K S E L は図 1 の内部コントローラ 8 の出力信号であり、複数ブロックの同時選択動作をコントロールする信号である。

【 0 0 5 3 】

図 7 は、図 6 の縦方向ブロック選択回路の構成を説明するための回路図である。

【 0 0 5 4 】

図 7 を参照して、縦方向ブロック選択回路 6 4 は、アドレスビット A 1 4 に応

じて信号BAVS0、BAVS1を出力するアドレスデコード部82と、アドレスビットA17、A18に応じて信号BAVM0～BAVM3を出力するアドレスデコード部84とを含む。

【0055】

アドレスデコード部82は、信号BLKSELがHレベルで、かつ、信号BOOTEがLレベルの場合にHレベルの信号を出力し他の場合にはLレベルの信号を出力するゲート回路86と、信号BOOTEがHレベルで、かつ、アドレスビットA14がLレベルの場合にHレベルの信号を出力し他の場合にはLレベルの信号を出力するゲート回路88と、信号BOOTEおよびアドレスビットA14を受けるAND回路90とを含む。

【0056】

アドレスデコード部82は、さらに、ゲート回路86、88の出力を受けるOR回路92と、ゲート回路86の出力とAND回路90の出力とを受けるOR回路94と、OR回路92の出力と信号BOPとを受けて信号BAVS0を出力するAND回路96と、OR回路94の出力と信号BOPとを受けて信号BAVS1を出力するAND回路98とを含む。

【0057】

アドレスデコード部84は、信号BOPとアドレスビットA17、A18とを受けて信号BAVM0を出力する3入力のNOR回路102と、信号BOPがLレベルの場合に活性化されアドレスビットA17がHレベルで、かつ、アドレスビットA18がLレベルである場合に信号BAVM1を活性化するゲート回路104と、アドレスビットA17がLレベルで、かつ、アドレスビットA18がHレベルである場合に信号BAVM2を活性化するゲート回路106と、アドレスビットA17、A18を受けて信号BAVM3を出力するAND回路108とを含む。

【0058】

ゲート回路106およびAND回路108に信号BOPが入力されていないのは、アドレスビットA18がHレベルである場合には図6のNOR回路62によってBOPはLレベルに設定されるため入力する必要がないからである。

【 0 0 5 9 】

なお、信号B O O T EがHレベルの場合、縦方向ブロック選択回路64の動作は従来の縦方向ブロック選択回路と全く同じである。信号B O O T EがLレベルで、かつ、信号B L K S E LがLレベルの場合についても縦方向ブロック選択回路64の動作は従来の縦方向ブロック選択回路と全く同じである。

【 0 0 6 0 】

信号B O O T EがLレベルで、かつ、信号B L K S E LがHレベルの場合には、アドレスビットA 1 4がLレベルであるかHレベルにあるかにかかわらず、信号B A V S 0, B A V S 1がともにHレベルとなり、縦方向の2ブロックの同時選択が行なわれる。

【 0 0 6 1 】

図8は、図6における横方向ブロック選択回路の構成を示した回路図である。

図8を参照して、横方向ブロック選択回路66は、信号B O Pに応じてアドレスビットA 1 2, A 1 3を選択アドレスビットS A 0, S A 1として選択するかまたはアドレスビットA 1 5, A 1 6を選択アドレスビットS A 0, S A 1として選択するかを決定するアドレス選択部110と、選択アドレスビットS A 0, S A 1のデコードを行なうアドレスデコード部112と、アドレスデコード部112の出力を有効にするか否かを決定する出力部114とを含む。

【 0 0 6 2 】

アドレス選択部110は、信号B O Pを受けて反転するインバータ116と、アドレスビットA 1 2と信号B O Pとを受けけるNAND回路118と、アドレスビットA 1 5とインバータ116の出力とを受けけるNAND回路120と、NAND回路118, 120の出力を受けて選択アドレスビットS A 0を出力するNAND回路122とを含む。

【 0 0 6 3 】

アドレス選択部110は、さらに、アドレスビットA 1 3と信号B O Pとを受けけるNAND回路124と、アドレスビットA 1 6とインバータ116の出力とを受けけるNAND回路126と、NAND回路124, 126の出力を受けて選択アドレスビットS A 1を出力するNAND回路128とを含む。

【0 0 6 4】

アドレスデコード部 1 1 2 は、選択アドレスビット S A 0, S A 1 がいずれも L レベルである場合を検出するデコードゲート回路 1 3 0 と、選択アドレスビット S A 0 が H レベルで、かつ、選択アドレスビット S A 1 が L レベルである場合を検出するデコードゲート回路 1 3 2 と、選択アドレスビット S A 0 が L レベルで、かつ、選択アドレスビット S A 1 が H レベルであることを検出するデコードゲート回路 1 3 4 と、選択アドレスビット S A 0, S A 1 がともに H レベルであることを検出するデコードゲート回路 1 3 6 とを含む。

【0 0 6 5】

出力部 1 1 4 は、信号 B L K S E L, B O P がともに H レベルで、かつ信号 B O O T E が L レベルであることを検知するゲート回路 1 3 8 と、ゲート回路 1 3 8 の出力とデコードゲート回路 1 3 0 の出力とを受けて信号 B A H 0 を出力する O R 回路 1 4 0 と、ゲート回路 1 3 8 の出力とデコードゲート回路 1 3 2 の出力とを受けて信号 B A H 1 を出力する O R 回路 1 4 2 と、ゲート回路 1 3 8 の出力とデコードゲート回路 1 3 4 の出力とを受けて信号 B A H 2 を出力する O R 回路 1 4 4 と、ゲート回路 1 3 8 の出力とデコードゲート回路 1 3 6 の出力とを受けて信号 B A H 3 を出力する O R 回路 1 4 6 とを含む。

【0 0 6 6】

信号 B O O T E が H レベルの場合には、図 8 に示した横方向ブロック選択回路 6 6 の動作は、従来の横方向ブロック選択回路と全く同じである。信号 B O O T E が L レベルで、かつ、信号 B L K S E L が L レベルの場合についても横方向ブロック選択回路 6 6 の動作は、従来の横方向ブロック選択回路と全く同じである。

【0 0 6 7】

信号 B O O T E が L レベルで、かつ、信号 B L K S E L が H レベルの場合にはアドレスビット A 1 2, A 1 3 が L レベルであるか H レベルにあるかにかかわらず、信号 B A H 0, B A H 1, B A H 2, B A H 3 はともに H レベルとなり、横方向に並ぶ 4 ブロックの同時選択が行なわれる。このとき、図 7 の縦方向ブロック選択回路では、アドレスビット A 1 4 が L レベルであるか H レベルにあるかに

かわらず、信号BAVS0、BAVS1がともにHレベルとなり、縦方向の2ブロックの同時選択が行なわれるので、その結果ブロックB000～B007の8つのブロックの選択が行なわれることになる。

【0068】

図9は、図1における内部コントローラのブロック消去時の動作フローを説明するためのフローチャートである。

【0069】

図9を参照して、実施の形態1に係る発明のフラッシュメモリにおいて特徴的なブロック単位の消去動作について説明する。

【0070】

消去をブロック一括で実施することによりフラッシュメモリは特徴づけられる。しかしながら、消去動作のフローのうち、ブロック全体のメモリセルに対して一括してパルス印加するのは、ステップS2におけるブロック一括書込と、ステップS4で実行されるブロック一括消去パルス1の印加と、ステップS5で行なわれるブロック一括ソフト書込と、ステップS7で行なわれるブロック一括消去パルス2の印加である。なお、ブロック一括ソフト書込とは、ステップS2で行なわれた書込よりもパルス印加時間が短くされたり印加するパルスの電圧を低く抑えたりされた弱い一括書込のことである。

【0071】

本発明においては、ステップS2、S4、S5、S7の4ステップの実行時において8個の4kワードのブロックB000～B007を図7に示した縦方向ブロック選択回路64および図8に示した横方向ブロック選択回路66によって同時選択可能としている。これら4つのステップにおいて8個の4kワードブロックを1個のメインブロック（32kワードブロック）として扱うことが可能になる。

【0072】

図9の動作フローを順に説明すると、外部から消去コマンドと対応するアドレスが入力されるとステップS1において消去動作が開始される。ステップS2においては消去の対象となるブロックに一括書込が指示される。内部コントローラ

8は、ステップS 2を実行する場合には信号B L K S E LをHレベルに設定する。これにより複数ブロックの同時選択が行なわれるため4 kワードが使用されない設定になっている場合には図1のメモリブロックB 0 0 0～B 0 0 7が同時選択され一括して書込パルスが印加される。

【0 0 7 3】

この信号B L K S E Lは、消去ブロックのメモリセルに一括してパルスを与えるステップにおいてのみHレベルに設定される。つまりステップS 2の実行時の他にもステップS 4、S 5、S 7の実行時にHレベルに設定され、他の場合にはLレベルに設定されている。

【0 0 7 4】

続いてステップS 3に進み消去ベリファイ1が行なわれる。消去ベリファイ1は指定されたメモリブロックのメモリトランジスタのしきい値電圧が所定の消去状態に対応するしきい値電圧になっているか否かを確認する動作である。一定の消去状態に達していない場合には消去ベリファイはフェイルとなりステップS 4に進み、ブロック一括消去パルスが消去対象ブロックに印加される。ステップS 4における消去パルスの印加が終了すると再びステップS 3に進み消去ベリファイ1が実行される。

【0 0 7 5】

ステップS 3において消去ベリファイ1がパスするとステップS 5に進みブロック一括ソフト書込が実行される。そしてステップS 6に進み消去ベリファイ2が実行される。消去ベリファイ2が完了していない場合にはステップS 7に進みブロック一括消去パルス2が選択ブロックに与えられる。そしてステップS 6に進み再び消去ベリファイ2が実行される。

【0 0 7 6】

ステップS 6において消去ベリファイ2がパスすると、ステップS 8において過消去状態を検出するオーバーイレースベリファイが行なわれる。過消去とは、消去パルスを加えることにより、メモリトランジスタのしきい値電圧が所定の範囲を超えて変化してしまうことである。

【0 0 7 7】

過消去が検出されオーバーイレースベリファイがフェイルするとステップS 9においてオーバーイレースリカバー動作が行なわれる。そしてステップS 1 0においてしきい値電圧 V_{th} の下限値の検証すなわちベリファイが行なわれ、その結果がフェイルであればステップS 9に戻る。ステップS 1 0においてベリファイ結果がパスであればステップS 8で再びオーバーイレースベリファイが行なわれる。ステップS 8において結果がパスであればステップS 1 1に進みブロック消去の動作が完了する。

【0 0 7 8】

〔切換信号発生回路の変形例〕

図1 0は、図3で説明した切換信号発生回路の第1の変形例を説明するための回路図である。

【0 0 7 9】

図1 0を参照して、切換信号発生回路1 0 Aは、信号# B O O Tが与えられるパッド1 5 2とノードN 3との間に接続される抵抗1 5 6と、パワーオンリセット信号P O Rを受けて反転するインバータ1 5 4と、電源ノードとノードN 3との間に接続されゲートにインバータ1 5 4の出力を受けるPチャネルM O Sトランジスタ1 5 8と、電源ノードとノードN 3との間に接続されるキャパシタ1 6 0とを含む。

【0 0 8 0】

切換信号発生回路1 0 Aは、さらに、ノードN 3に入力が接続されノードN 4に出力が接続されるインバータ1 6 4と、電源ノードとノードN 3との間に接続されゲートがノードN 4に接続されるPチャネルM O Sトランジスタ1 6 2と、ノードN 4と接地ノードとの間に接続されるキャパシタ1 6 6と、ノードN 4に入力が接続されるインバータ1 6 8と、インバータ1 6 8の出力を受けて反転し信号B O O T Eを出力するインバータ1 7 0とを含む。

【0 0 8 1】

図1. 1は、図1 0に示した切換信号発生回路の設定と出力を説明する図である。

【0 0 8 2】

図 1 1 を参照して、ワイヤボンディングオプションによって接地電位が与えられるリードにパッド 1 5 2 が接続される場合には信号 # B O O T は L レベルに設定されこれに応じて信号 B O O T E は H レベルに設定される。

【 0 0 8 3 】

一方、パッド 1 5 2 が電源電位を受けるリードにワイヤで接続される場合または開放状態にされリードとは接続されない状態においては、信号 B O O T E は L レベルに設定される。このように切換信号発生回路 1 0 を変形してもよい。

【 0 0 8 4 】

図 1 2 は、切換信号発生回路の第 2 の変形例を示す回路図である。

図 1 2 を参照して、切換信号発生回路 1 0 B は、パワーオンリセット信号 P O R を受けて反転するインバータ 1 7 2 と、電源ノードとノード N 5 との間に接続されゲートにインバータ 1 7 2 の出力を受ける P チャネル MOS トランジスタ 1 7 4 と、ノード N 5 とノード N 6 との間に接続されレーザ光線により切断可能なヒューズ素子 1 7 6 と、ノード N 6 と接地ノードとの間に接続されゲートにインバータ 1 7 2 の出力を受ける N チャネル MOS トランジスタ 1 7 8 とを含む。

【 0 0 8 5 】

切換信号発生回路 1 0 B は、さらに、ノード N 5 に入力接続されノード N 7 に出力が接続されるインバータ 1 8 2 と、電源ノードとノード N 5 との間に接続されゲートがノード N 7 に接続される P チャネル MOS トランジスタ 1 7 4 と、インバータ 1 7 2 の出力を受けて反転するインバータ 1 8 4 と、インバータ 1 8 2 の出力とインバータ 1 8 4 の出力とを受ける NOR 回路 1 8 6 と、NOR 回路 1 8 6 の出力を受けて反転するインバータ 1 8 8 と、インバータ 1 8 8 の出力を受けて反転し信号 B O O T E を出力するインバータ 1 9 0 とを含む。

【 0 0 8 6 】

図 1 3 は、ヒューズ素子の状態と切換を制御する信号 B O O T E との関係を説明するための図である。

【 0 0 8 7 】

図 1 2、図 1 3 を参照して、ヒューズ素子 1 7 6 がレーザ光線によりカットされた場合にはノード N 5 は H レベルに保持されノード N 7 は L レベルになる。そ

して、パワーオンリセットが解除された後にはインバータ 1 8 4 の出力も L レベルになる。すると切換制御のための信号 B O O T E は H レベルに設定される。

【 0 0 8 8 】

一方、ヒューズ素子 1 7 6 が導通状態にある場合には、パワーオンリセットが解除されるとノード N 5 は L レベルに設定されその結果ノード N 7 は H レベルに設定される。すると N O R 回路 1 8 6 の出力が L レベルとなるので、切換のための信号 B O O T E は L レベルに設定されることになる。

【 0 0 8 9 】

不揮発性半導体記憶装置のような半導体記憶装置は不良メモリセルが存在する場合に冗長メモリセルと置換を行なうためヒューズ素子を切断する工程を有する場合が多い。したがってこの切断工程において切換信号発生回路のヒューズ素子を切断すれば特別な装置を用意しなくても切換信号の設定を変えることができる。

【 0 0 9 0 】

図 1 4 は、切換信号発生回路の第 3 の変形例を示す回路図である。

図 1 4 を参照して、切換信号発生回路 1 0 C は、パワーオンリセット信号 P O R を受けて反転するインバータ 1 9 2 と、電源ノードとノード N 8 との間に接続されゲートにインバータ 1 9 2 の出力を受ける P チャネル M O S トランジスタ 1 9 6 と、ノード N 8 と通常の電源電位よりも高い電源電位 H V C C とを選択的に N 9 に結合するスイッチ 1 9 8 と、ノード N 9 とノード N 1 0 との間に接続されるメモリトランジスタ 2 0 0 と、ノード N 1 0 と接地ノードとの間に接続されるスイッチ 2 0 2 と、メモリトランジスタ 2 0 0 のコントロールゲートを制御するためのスイッチ 1 9 4 とを含む。

【 0 0 9 1 】

メモリトランジスタ 2 0 0 は、本発明の不揮発性半導体記憶装置のメモリアレイに含まれているメモリトランジスタと同様な構成を有している。したがって新たな工程を追加しなくてもパターン設計を変更することで切換信号発生回路 1 0 C の内部にメモリトランジスタ 2 0 0 を設けることが可能である。スイッチ 1 9 8、1 9 4、2 0 2 は、所定のテストモードにおいてイレースコマンドやプログ

ラムコマンドに応じてノードN9、ノードN10およびメモリトランジスタ200のコントロールゲートを制御するために設けられる。この所定のテストモードにおいてメモリトランジスタ200のフローティングゲートの保持内容を設定する。

【0092】

メモリトランジスタ200の記憶内容が設定された後にはスイッチ194はインバータ192の出力をメモリトランジスタ200の制御ゲートに与えスイッチ198はノードN8とノードN9とを接続し、スイッチ202はノードN10を接地ノードに接続する。

【0093】

切換信号発生回路10Cは、さらに、ノードN8に入力が接続されノードN10に出力が接続されるインバータ206と、電源ノードとノードN8との間に接続されゲートがノードN10に接続されるPチャネルMOSトランジスタ204と、インバータ192の出力を受けて反転するインバータ208と、インバータ206の出力とインバータ208の出力とを受けるNOR回路210と、NOR回路210の出力を受けて反転するインバータ212と、インバータ212の出力を受けて反転し信号BOOTEを出力するインバータ214とを含む。

【0094】

図15は、図14の切換信号発生回路のメモリトランジスタに設定されたしきい値電圧と信号BOOTEとの関係を示した図である。

【0095】

図14、図15を参照して、メモリトランジスタ200のしきい値電圧 V_{th} が所定の電圧より高い場合には、インバータ192の出力が活性化されてもメモリトランジスタ200は非導通状態となる。したがって、図12においてヒューズ素子176がカットされている状態と同様となり信号BOOTEはこれに応じてHレベルに設定される。

【0096】

一方、メモリトランジスタ200のしきい値電圧 V_{th} が所定の値より低い場合には、インバータ192の出力がHレベルとなるとメモリトランジスタ200

は導通しノードN9がノードN10に接続される。したがって、図12の回路においてヒューズ素子176が導通している場合と同様となり信号BOOTEはLレベルに設定される。

【0097】

このように、本発明においては不揮発性メモリセルを製造するプロセスフローが適用されているため、信号BOOTEを設定するために不揮発性メモリセルと同様なメモリトランジスタを使用しても製造工程が追加されることもなく好適に切換信号の発生をさせることができる。

【0098】

〔実施の形態1の変形例〕

以上の実施の形態においては、図1のプリデコーダ18においてブロック選択を複数同時にある一定のパルス印加時に選択することによって複数ブロックを1回の指示で同時に消去する構成について説明したが、内部コントローラにおいて1回の外部からの指示に応じてシーケンシャルに複数ブロックの消去を行なわせることによって外部から見ると同様な動作を実行させることができる。

【0099】

図16は、実施の形態1の変形例に係る不揮発性半導体記憶装置の構成を説明するためのブロック図である。

【0100】

図16を参照して、不揮発性半導体記憶装置221は、図1で説明した不揮発性半導体記憶装置1の構成において制御部2に代えて制御部2Aを含む。制御部2Aは、図1の制御部2の構成において内部コントローラ8とプリデコーダ18にそれぞれ代えて内部コントローラ8Aとプリデコーダ18Aとを含む。他の部分の不揮発性半導体記憶装置221の構成は図1に示した不揮発性半導体記憶装置1と同様であるので説明は繰返さない。

【0101】

プリデコーダ18Aは、図27で説明した従来のブロック選択動作と同様な動作を行なう。

【0102】

図 1 7 は、図 1 6 における内部コントローラの消去動作を説明するためのフローチャートである。

【0 1 0 3】

図 1 7 を参照して、内部コントローラ 8 A は、外部から制御信号により所定ブロックの消去指示を受けるとステップ S 2 1 において消去動作を開始する。

【0 1 0 4】

ステップ S 2 2 においては消去の対象となるブロックに一括書込が指示される。続いてステップ S 2 3 に進み消去ベリファイ 1 が行なわれる。消去ベリファイ 1 は指定されたメモリブロックのメモリトランジスタのしきい値電圧が所定の消去状態に対応するしきい値電圧になっているか否かを確認する動作である。一定の消去状態に達していない場合には消去ベリファイはフェイルとなりステップ S 2 4 に進み、ブロック一括消去パルスが消去対象ブロックに印加される。ステップ S 2 4 における消去パルスの印加が終了すると再びステップ S 2 3 に進み消去ベリファイ 1 が実行される。

【0 1 0 5】

ステップ S 2 3 において消去ベリファイ 1 がパスすると、ステップ S 2 5 に進みブロック一括ソフト書込が実行される。そしてステップ S 2 6 に進み消去ベリファイ 2 が実行される。消去ベリファイ 2 が完了していない場合にはステップ S 2 7 に進みブロック一括消去パルス 2 が選択ブロックに与えられる。そしてステップ S 2 6 に進み再び消去ベリファイ 2 が実行される。

【0 1 0 6】

ステップ S 2 6 において消去ベリファイ 2 がパスすると、ステップ S 2 8 において過消去状態を検出するオーバーイレースベリファイが行なわれる。

【0 1 0 7】

過消去が検出されオーバーイレースベリファイがフェイルするとステップ S 2 9 においてオーバーイレースリカバー動作が行なわれる。そしてステップ S 3 0 においてしきい値電圧 V_{th} の下限値の検証すなわちベリファイが行なわれ、その結果がフェイルであればステップ S 2 9 に戻る。

【0 1 0 8】

ステップS 3 0においてベリファイ結果がパスであればステップS 2 8で再びオーバーイレースベリファイが行なわれる。ステップS 2 8において結果がパスであればステップS 3 1に進む。

【0 1 0 9】

ステップS 3 1では、切換信号発生部で発生される信号B O O T Eがチェックされる。信号B O O T EがHレベルであればブートブロックが必要であるということの意味するので、最初に指定されたブロックのみを消去してステップS 3 4に進み消去動作が終了する。

【0 1 1 0】

一方、信号B O O T EがLレベルであればブートブロックが不要であるということの意味するので4 kワードのブロックB 0 0 0～B 0 0 7は一括消去の対象となる。したがってステップS 3 2へ進み、現在消去が完了したブロックが一括消去の対象となるブロックのうちの最終ブロックであるか否かが判断される。

【0 1 1 1】

最終ブロックでない場合にはステップS 3 3に進み、次のブロックに消去対象が変更される。たとえば今消去したブロックがブロックB 0 0 0である場合には次のブロックB 0 0 1に消去対象が変更される。そして再びステップS 2 2に進み対象となったブロックの一括消去が実行される。

【0 1 1 2】

ステップS 3 2においてブロックが最終ブロックであることが検出される場合つまりブロックB 0 0 0から順番に消去が進み現在消去が完了したブロックがB 0 0 7である場合にはステップS 3 4に進む。また現在消去しているブロックが4 kワードのブロックでない場合つまりブロックB 0 0 8～B 0 2 2であった場合には同様にステップS 3 4に進み消去動作が完了する。

【0 1 1 3】

このように複数のブロックを同時に選択することを行なわなくても、1回の消去指示に応じて複数ブロックを1ブロックずつ消去していくシーケンスをコントローラに組込んでおいてもよい。

【0 1 1 4】

〔実施の形態2〕

実施の形態1では、図1の4kワードのメモリブロックB000～B007を個別に消去する場合と一括して消去する場合とを所定の設定によって切換えることができる不揮発性メモリについて説明した。この場合メモリブロックB100はメモリアレイの連続性のためには設ける必要があったが常に不使用とされる領域であった。4kワードブロックが必要とされない場合には、メモリブロックB000～B007に代えて従来不使用とされてきたメモリブロックB100を選択するようにプリデコーダを構成すればよい。

【0115】

図18は、実施の形態2におけるプリデコーダ18Bの構成を示したブロック図である。

【0116】

図18を参照して、プリデコーダ18Bは、図6において説明したプリデコーダ18の構成において、NOR回路62に代えてBOP発生回路62Bを含み、縦方向ブロック選択回路64に代えて縦方向ブロック選択回路64Bを含み、横方向ブロック選択回路66に代えて横方向ブロック選択回路66Bを含む。他の部分のプリデコーダ18Bの構成は、図6において説明したプリデコーダ18と同様であり説明は繰返さない。

【0117】

BOP発生回路62Bは、アドレスビットA15、A16、A17、A18を受ける4入力のNOR回路222と、NOR回路222の出力と信号BOOTEとを受けて信号BOPを出力するAND回路223とを含む。

【0118】

実施の形態1ではこの信号BOPは不使用であったメモリブロックB100に対応するアドレスが入力された場合にその代わりにブロックB000～B007を選択する動作にプリデコーダの動作切換を行なうための信号であった。図18に示した構成では、信号BOOTEがLレベルの場合には常にこの信号BOPがLレベルに非活性化されてブロックB000～B007は選択されなくなり、その代わりに32kワードのブロックB100が選択されることになる。したがっ

て外部から与える消去の指示は図 3 0 で説明したメモリアレイ 7 0 0 と同様 1 6 回ですむことになる。

【0 1 1 9】

図 1 9 は図 1 8 における縦方向ブロック選択回路の構成を示す回路図である。

図 1 9 を参照して、縦方向ブロック選択回路 6 4 B は、図 7 で説明した縦方向ブロック選択回路 6 4 の構成においてアドレスデコード部 8 2 に代えてアドレスデコード部 8 2 A を含む。他の部分の縦方向ブロック選択回路 6 4 B の構成は図 7 で説明した縦方向ブロック選択回路 6 4 と同様であり説明は繰返さない。

【0 1 2 0】

アドレスデコード部 8 2 A は、信号 B O P が H レベルに活性化されたときにアドレスビット A 1 4 を反転して信号 B A V S 0 を出力するゲート回路 2 2 4 と、信号 B O P とアドレスビット A 1 4 とを受けて信号 B A V S 1 を出力する AND 回路 2 2 6 とを含む。

【0 1 2 1】

信号 B O P が L レベルに非活性化された場合には縦方向ブロックを選択する信号 B A V S 0, B A V S 1 はともに L レベルに非活性化されメモリブロック B 0 0 0 ~ B 0 0 7 が選択されない状態となる。一方、信号 B O P が H レベルに活性化されたときにはアドレスビット A 1 4 に応じて信号 B A V S 0, B A V S 1 のいずれか一方が H レベルに活性化されメモリブロック B 0 0 0 ~ B 0 0 7 のいずれかが選択可能となる。

【0 1 2 2】

図 2 0 は、図 1 8 における横方向ブロック選択回路の構成を示した回路図である。

【0 1 2 3】

図 2 0 を参照して、横方向ブロック選択回路 6 6 B は、アドレス選択部 1 1 0 とアドレスデコード部 1 1 2 とを含む。アドレス選択部 1 1 0 およびアドレスデコード部 1 1 2 の構成は図 8 において既に説明しているので説明は繰返さない。なお、横方向ブロック選択回路 6 6 B においては、アドレスデコード部 1 1 2 のデコードゲート回路 1 3 0, 1 3 2, 1 3 4, 1 3 6 からそれぞれ信号 B A H 0

、BAH1、BAH2、BAH3が出力される点が図8と異なっている。

【0124】

図18の信号BOOTEは実施の形態1と同様4kワード領域を持つか持たないかを決定する信号である。実施の形態2においても実施の形態1で説明したような切換信号発生回路10、10A、10B、10Cを用いて発生することが可能である。図18のBOP発生回路62Bにおいて信号BOPを信号BOOTEによって直接コントロールすることにより信号BOPがHレベルのときにメモリブロックB000～B007を選択し、信号BOPがLレベルのときにメモリブロックB100を選択することが可能となる。このことにより1品種にて4kワードのメモリブロックを持つフラッシュメモリと4kワードのメモリブロックを持たないフラッシュメモリとを同時に実現可能となる。

【0125】

以上説明した実施例では、4kワード領域8ブロックはアドレスの小さい側（ボトム側）にのみ位置しているが、これはアドレスの大きい側（トップ側）に位置していても同様な切換動作が可能である。また、ボトム側とトップ側の両方に4kワード領域のメモリブロック8ブロックずつが位置していてもよい。

【0126】

【応用例】

図21は、本発明を適用してアドレス領域のボトム側とトップ側の双方に4kワードのメモリブロックが配置されたいわゆるデュアルブートタイプのメモリアレイを説明するための図である。

【0127】

図21を参照して、メモリアレイ300は、ボトムブートに対応するメモリブロックB000～B007と、メインブロックに対応するメモリブロックB008～B021と、トップブートに対応するメモリブロックB022～B029とを含む。

【0128】

トップブートとボトムブートとが要求されるのは、不揮発性半導体記憶装置が使用されるシステムに搭載されるCPUがどの領域を最初にアクセスするかはC

PUのタイプによって二通りが存在するからである。

【0129】

使用されるシステムがボトムブートに対応するものであればメモリブロックB000～B007は個別に消去可能な構成としておき実施の形態1で説明したようにメモリブロックB022～B029を1つの消去指示で一括して消去可能にするかもしくはメモリブロックB022～B029の選択に代えてメモリブロックB200を選択するように切換えればよい。

【0130】

使用されるシステムがトップブートに対応するものであればメモリブロックB022～B029は個別に消去可能な構成としておき、実施の形態1で説明したようにメモリブロックB000～B007を1つの消去指示で一括して消去可能にするかしくはメモリブロックB000～B007の選択に代えてメモリブロックB100を選択するように切換えればよい。

【0131】

このようにデュアルブートが可能なメモリアレイに本発明のブロック選択構成を適用すればシステムがボトムブートの場合であってもトップブートの場合でもブートなしのタイプであっても1品種のチップを生産しておけば必要に応じてワイヤボンディングの変更やヒューズの切断や所定の不揮発性メモリセルの記憶内容の変更を行なうことによりさまざまな構成に対応することが可能となる。

【0132】

ところで、このようなデュアルブートに対応する不揮発性メモリを2チップ組合せて用いる場合には、従来はアドレスの中央部分に4kワードという細切れのブロックが存在することにより使い勝手が悪くなるという問題点があったが、本発明の不揮発性メモリをトップブート品種、ボトムブート品種、ブートなし品種に切換えて組合せて使用することにより2チップ構成の場合でもさまざまなタイプの不揮発性メモリが実現できる。

【0133】

図22は、2チップを組合せた場合のデュアルブートを実現する構成を説明する図である。

【0 1 3 4】

図 2 2 を参照して、メモリ 3 0 2 は、メモリアレイ 3 0 4 とメモリアレイ 3 0 6 とを組合せて実現される。メモリアレイ 3 0 4 は図 2 1 で説明したデュアルブート品のメモリアレイ 3 0 0 をボトムブートに対応させて実現したものであり、メモリアレイ 3 0 6 はメモリアレイ 3 0 0 をトップブートに対応させて使用したものである。これにより、アドレスの中央部分に細切れの 4 k ワードのブロックはユーザから見れば存在しないことになり使い勝手がよくなる。

【0 1 3 5】

図 2 3 は、2 チップを組合せた場合のボトムブートを実現する構成を説明する図である。

【0 1 3 6】

図 2 2 を参照して、メモリ 3 0 8 は、メモリアレイ 3 1 0 とメモリアレイ 3 1 2 とを組合せて実現される。メモリアレイ 3 1 0 は図 2 1 で説明したデュアルブート品のメモリアレイ 3 0 0 をボトムブートに対応させて実現したものであり、メモリアレイ 3 1 2 はメモリアレイ 3 0 0 をブートなしタイプに対応させて使用したものである。この場合にも、アドレスの中央部分やトップ部分には、細切れの 4 k ワードのブロックはユーザから見れば存在しないことになり使い勝手がよくなる。

【0 1 3 7】

図 2 4 は、2 チップを組合せた場合のトップブートを実現する構成を説明する図である。

【0 1 3 8】

図 2 4 を参照して、メモリ 3 1 4 は、メモリアレイ 3 1 6 とメモリアレイ 3 1 8 とを組合せて実現される。メモリアレイ 3 1 6 は図 2 1 で説明したデュアルブート品のメモリアレイ 3 0 0 をブートなしタイプに対応させて実現したものであり、メモリアレイ 3 1 8 はメモリアレイ 3 0 0 をトップブートに対応させて使用したものである。この場合にも、アドレスの中央部分やボトム部分には、細切れの 4 k ワードのブロックはユーザから見れば存在しないことになり使い勝手がよくなる。

【0 1 3 9】

図 2 5 は、2 チップを組合せた場合のブートなしタイプを実現する構成を説明する図である。

【0 1 4 0】

図 2 5 を参照して、メモリ 3 2 0 は、メモリアレイ 3 2 2 とメモリアレイ 3 2 4 とを組合せて実現される。メモリアレイ 3 2 2, 3 2 4 は図 2 1 で説明したデュアルブート品のメモリアレイ 3 0 0 をブートなしタイプに対応させて実現したものである。この場合にも、アドレスのトップ部分、中央部分、ボトム部分には、細切れの 4 k ワードのブロックはユーザから見れば存在しないことになり使い勝手がよくなる。

【0 1 4 1】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 1 4 2】

【発明の効果】

本発明によれば、切換信号の与え方を変更すれば小さなブロックを各々消去単位とするものと小さなブロックをまとめて 1 つとして消去単位とするものの複数の種類の不揮発性半導体記憶装置が実現でき、複数品種の開発費用および製造管理費用を削減することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の不揮発性記憶装置の構成を示す概略ブロック図である。

【図 2】 メモリアレイ 2 6 の各々のメモリブロックに行列状に配列されるメモリトランジスタ MT の説明をするための断面図である。

【図 3】 図 1 における切換信号発生回路 1 0 の構成を示した回路図である。

【図 4】 図 3 の切換信号発生回路に対するボンディングオプションの説明

をするための図である。

【図 5】 信号#NOBOOT, #BOOTの設定状態と切換のための信号BOOTEの関係を説明するための図である。

【図 6】 図 1 のプリデコーダの構成を説明するためのブロック図である。

【図 7】 図 6 の縦方向ブロック選択回路の構成を説明するための回路図である。

【図 8】 図 6 における横方向ブロック選択回路の構成を示した回路図である。

【図 9】 図 1 における内部コントローラのブロック消去時の動作フローを説明するためのフローチャートである。

【図 1 0】 図 3 で説明した切換信号発生回路の第 1 の変形例を説明するための回路図である。

【図 1 1】 図 1 0 に示した切換信号発生回路の設定と出力を説明する図である。

【図 1 2】 切換信号発生回路の第 2 の変形例を示す回路図である。

【図 1 3】 ヒューズ素子の状態と切換を制御する信号BOOTEとの関係を説明するための図である。

【図 1 4】 切換信号発生回路の第 3 の変形例を示す回路図である。

【図 1 5】 図 1 4 の切換信号発生回路のメモリトランジスタに設定されたしきい値電圧と信号BOOTEとの関係を示した図である。

【図 1 6】 実施の形態 1 の変形例に係る不揮発性半導体記憶装置の構成を説明するためのブロック図である。

【図 1 7】 図 1 6 における内部コントローラの消去動作を説明するためのフローチャートである。

【図 1 8】 実施の形態 2 におけるプリデコーダ 1 8 B の構成を示したブロック図である。

【図 1 9】 図 1 8 における縦方向ブロック選択回路の構成を示す回路図である。

【図 2 0】 図 1 8 における横方向ブロック選択回路の構成を示した回路図

である。

【図 2 1】 本発明を適用してアドレス領域のボトム側とトップ側の双方に 4 kワードのメモリブロックが配置されたいわゆるデュアルブートタイプのメモリアレイを説明するための図である。

【図 2 2】 2チップを組合せた場合のデュアルブートを実現する構成を説明する図である。

【図 2 3】 2チップを組合せた場合のボトムブートを実現する構成を説明する図である。

【図 2 4】 2チップを組合せた場合のトップブートを実現する構成を説明する図である。

【図 2 5】 2チップを組合せた場合のブートなしタイプを実現する構成を説明する図である。

【図 2 6】 従来のフラッシュメモリアレイ構成を示した図である。

【図 2 7】 メモリブロックの選択信号を発生する従来のブロック選択デコーダの構成を示したブロック図である。

【図 2 8】 従来のアドレス入力バッファ 5 1 6 の構成を示す回路図である。

【図 2 9】 従来の他のフラッシュメモリアレイ構成を示す図である。

【符号の説明】

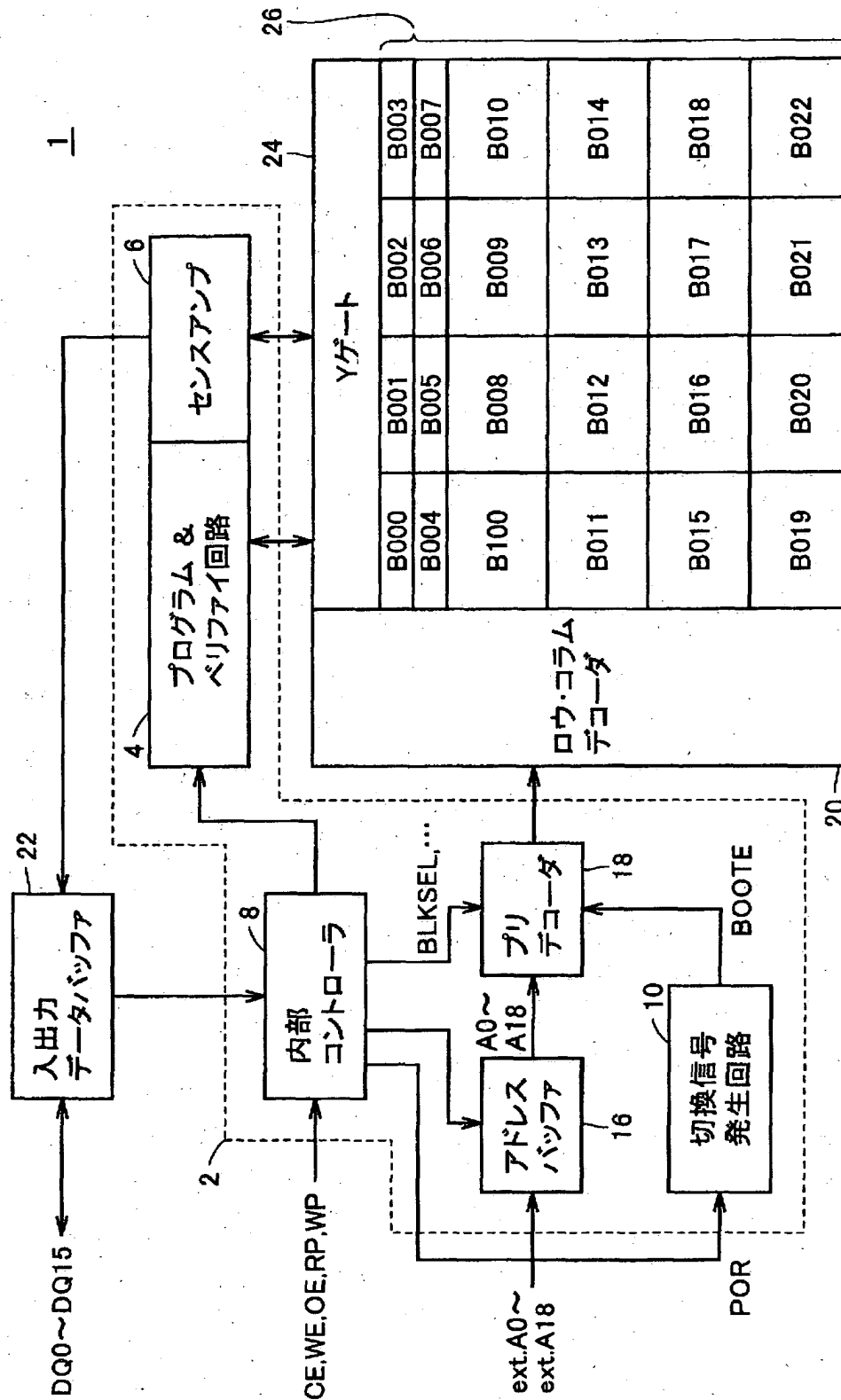
1, 2 2 1 不揮発性半導体記憶装置、2, 2 A 制御部、4 プログラム&ベリファイ回路、6 センスアンプ、8, 8 A 内部コントローラ、1 0, 1 0 A ~ 1 0 C 切換信号発生回路、1 6 アドレスバッファ、1 8, 1 8 A, 1 8 B プリデコーダ、2 0 ロウ・コラムデコーダ、2 2 入出力データバッファ、2 4 Yゲート、2 6, 3 0 0, 3 0 4, 3 0 6, 3 1 0, 3 1 2, 3 1 6, 3 1 8, 3 2 2, 3 2 4 メモリアレイ、3 6, 4 2, 1 6 0, 1 6 6 キャパシタ、5 0 チップ、5 2 リード、5 4, 5 5 ワイヤ、5 6, 5 8, 1 5 2 パッド、6 2 NOR回路、6 2 B BOP発生回路、6 4, 6 4 B 縦方向ブロック選択回路、6 6, 6 6 B 横方向ブロック選択回路、6 8, 7 0 プリデコード回路、7 2 ロウデコーダ、7 4 コラムデコーダ、8 2, 8 2 A, 8

4, 112 アドレスデコード部、86, 88, 138, 224 ゲート回路、
110 アドレス選択部、114 出力部、130, 132, 134, 136
デコードゲート回路、176 ヒューズ素子、194, 198, 202 スイッ
チ、200 メモリトランジスタ、302, 308, 314, 320 メモリ。

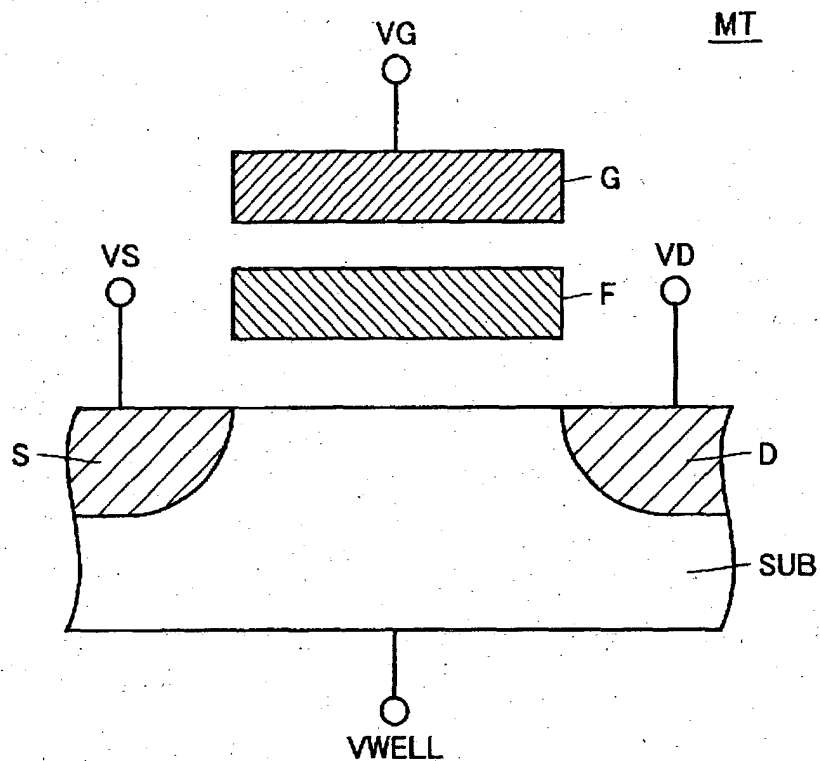
【書類名】

図面

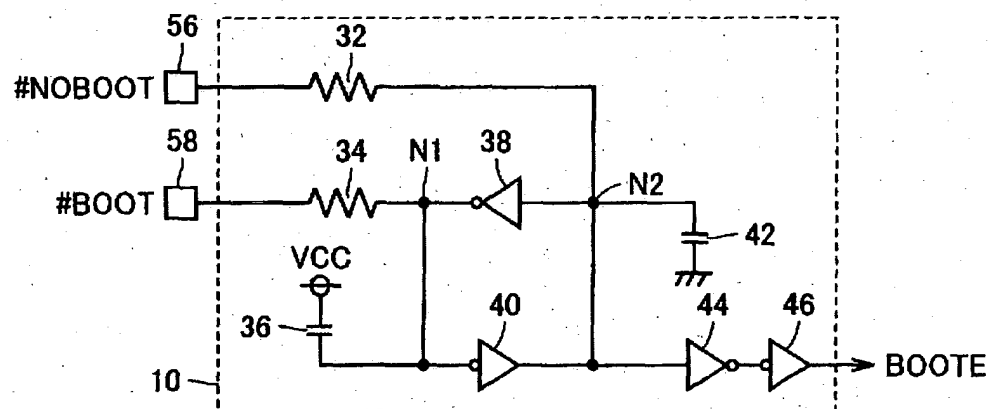
【図1】



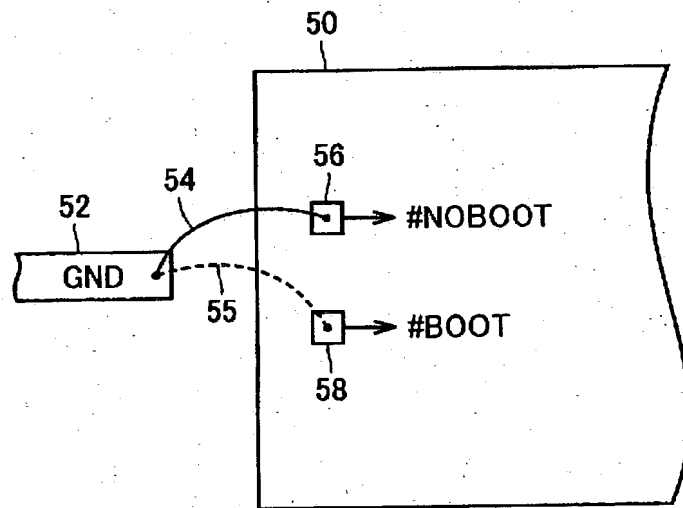
【図 2】



【図 3】



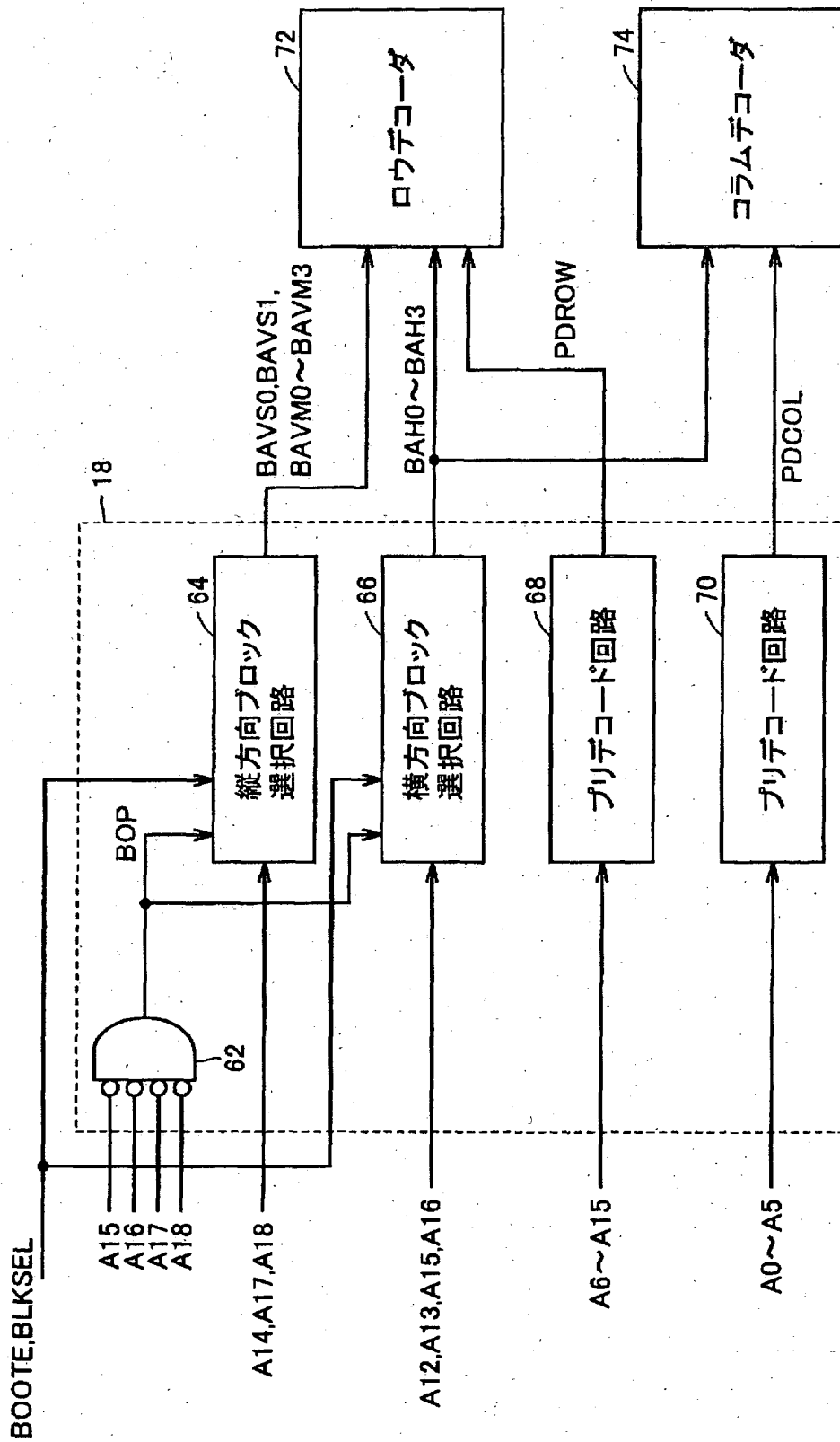
【図 4】



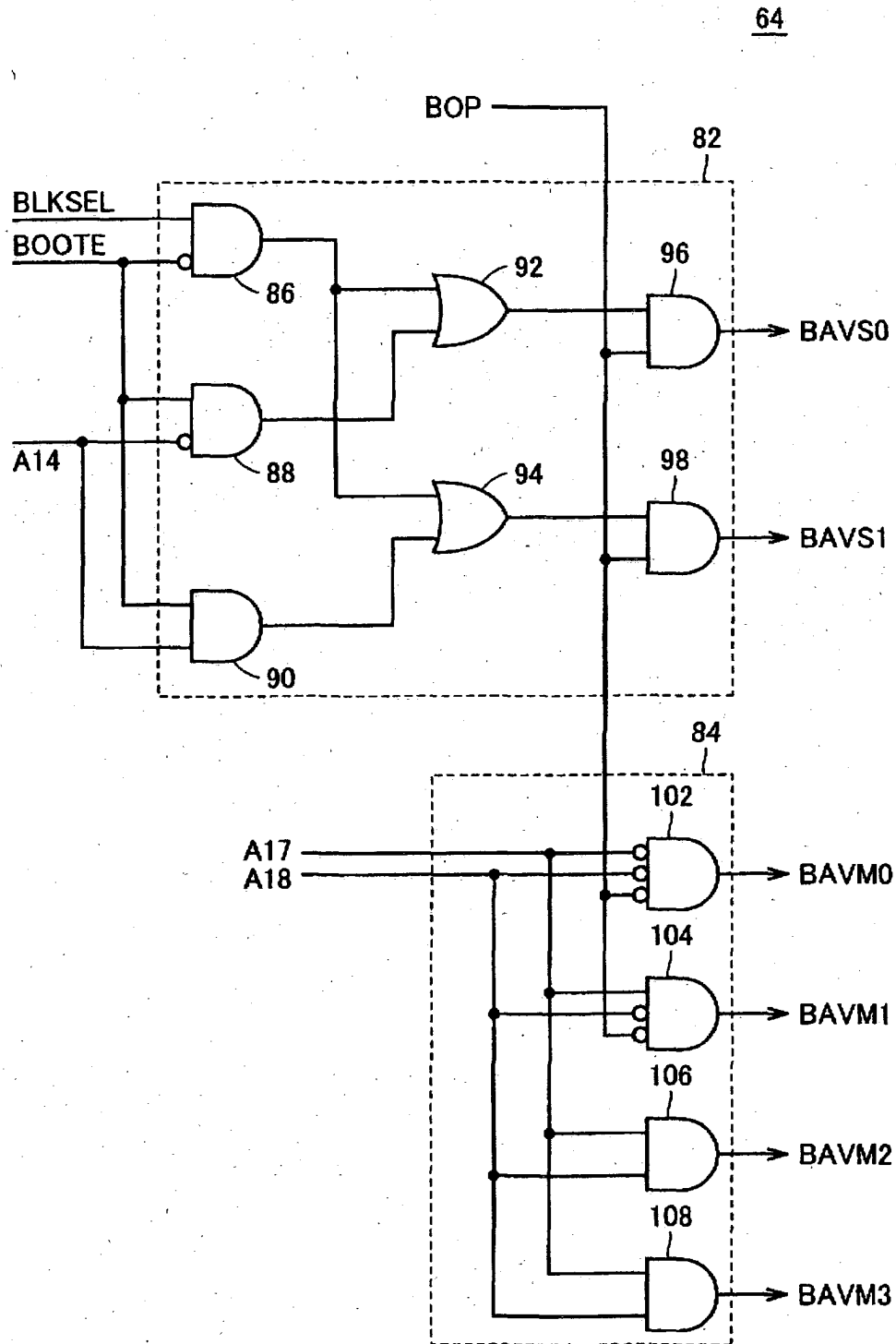
【図 5】

#NOBOOT	#BOOT	BOOTE
L	H or OPEN	L
H or OPEN	L	H

【図6】

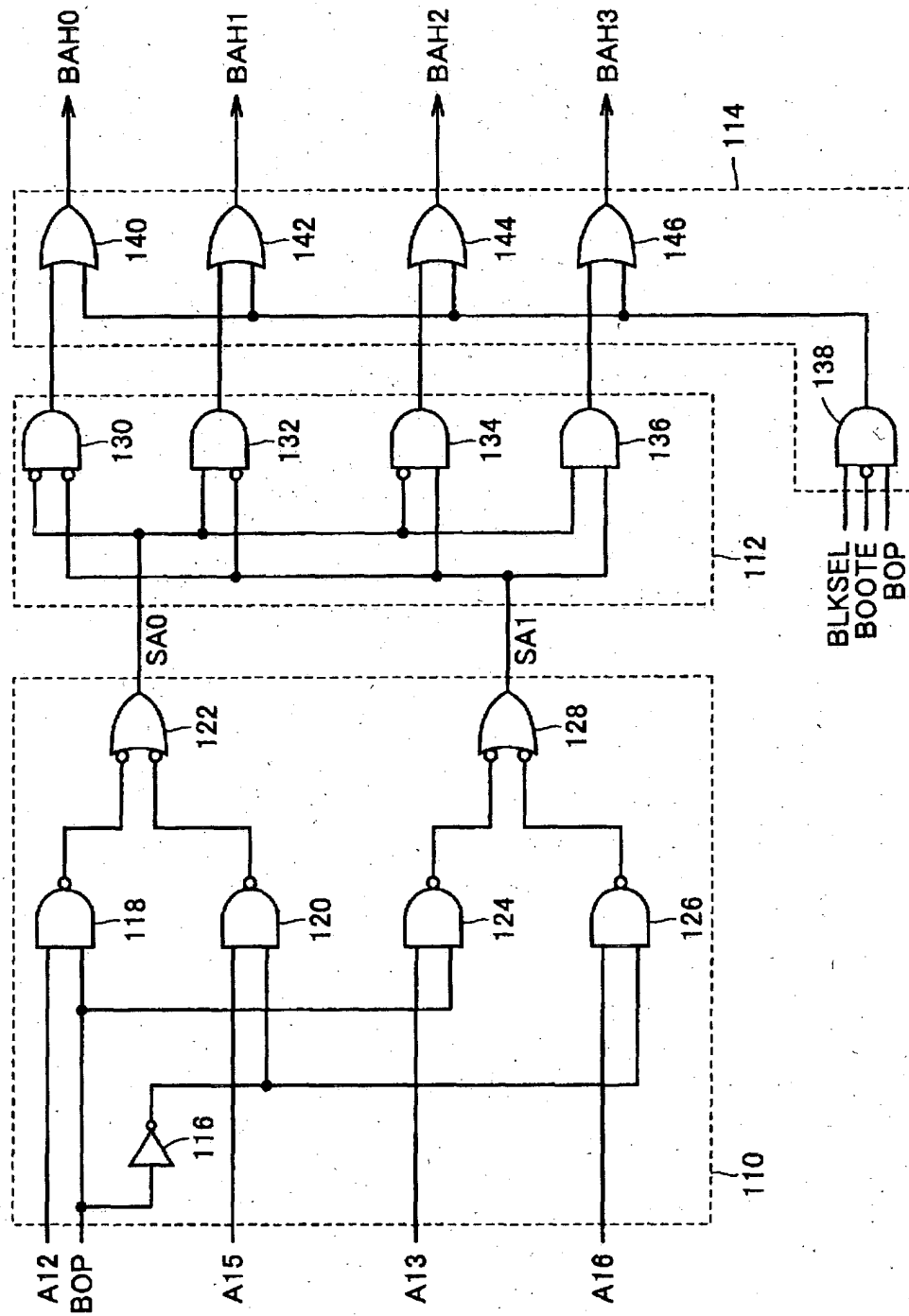


【図 7】

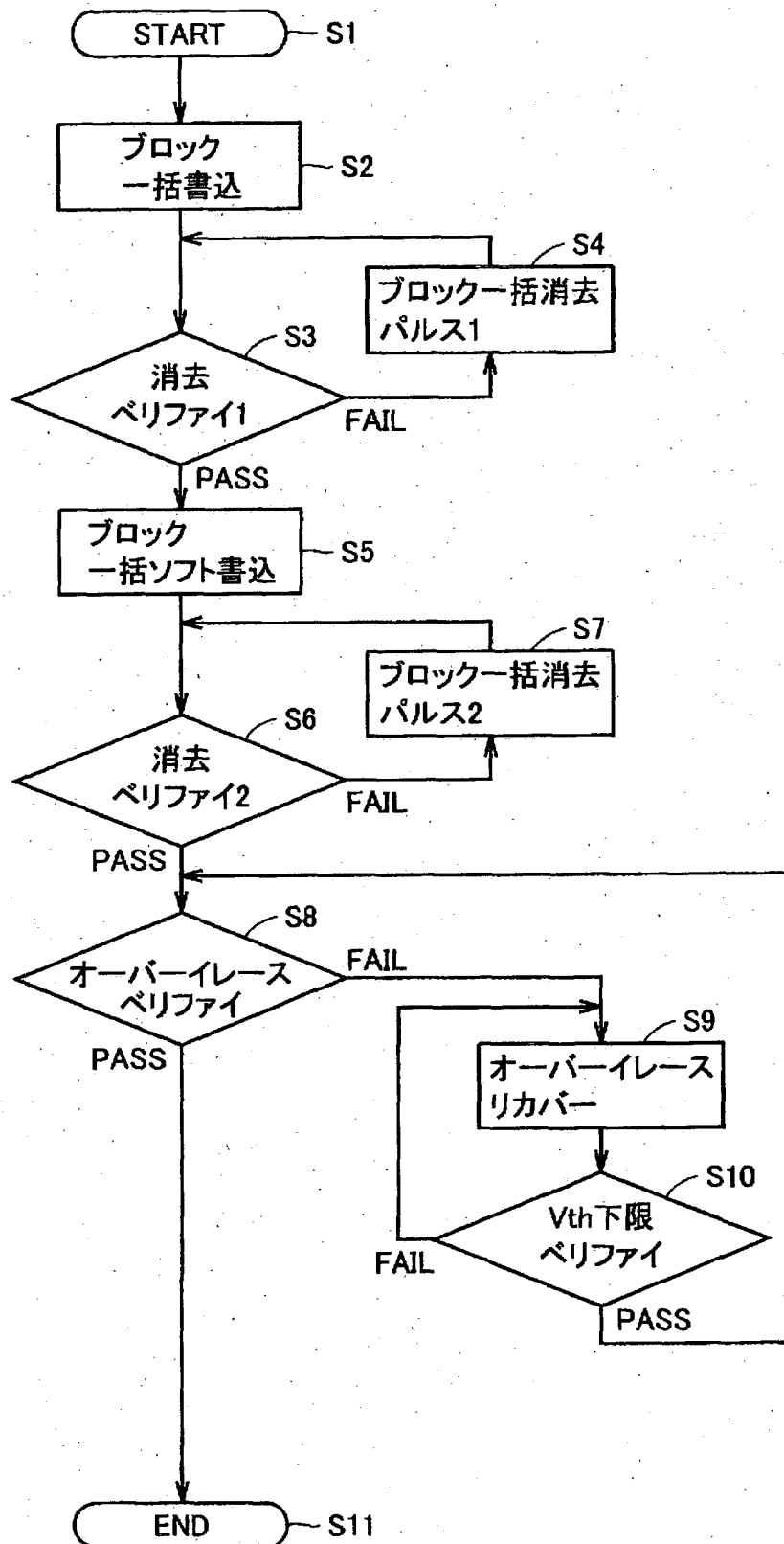


【図8】

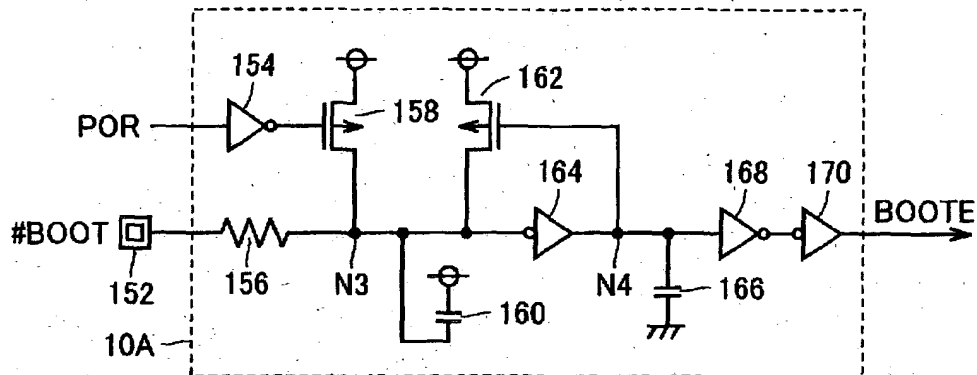
66



【図9】



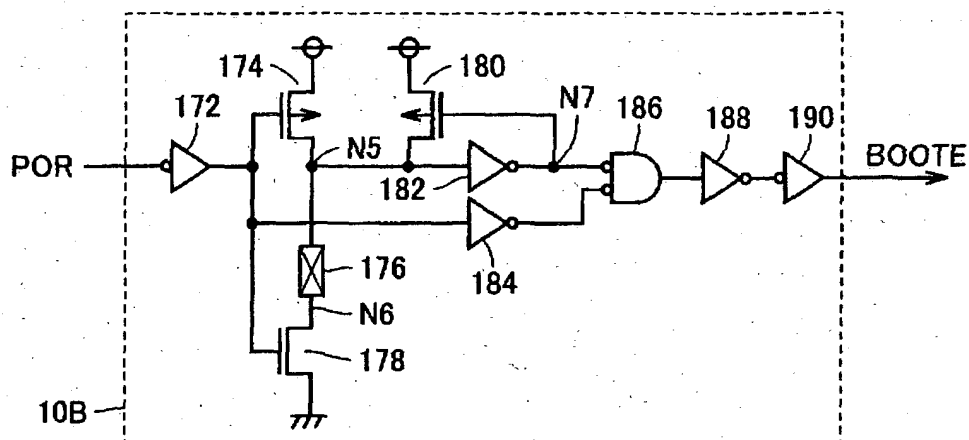
【図 1 0】



【図 1 1】

#BOOT	BOOTE
L	H
H or OPEN	L

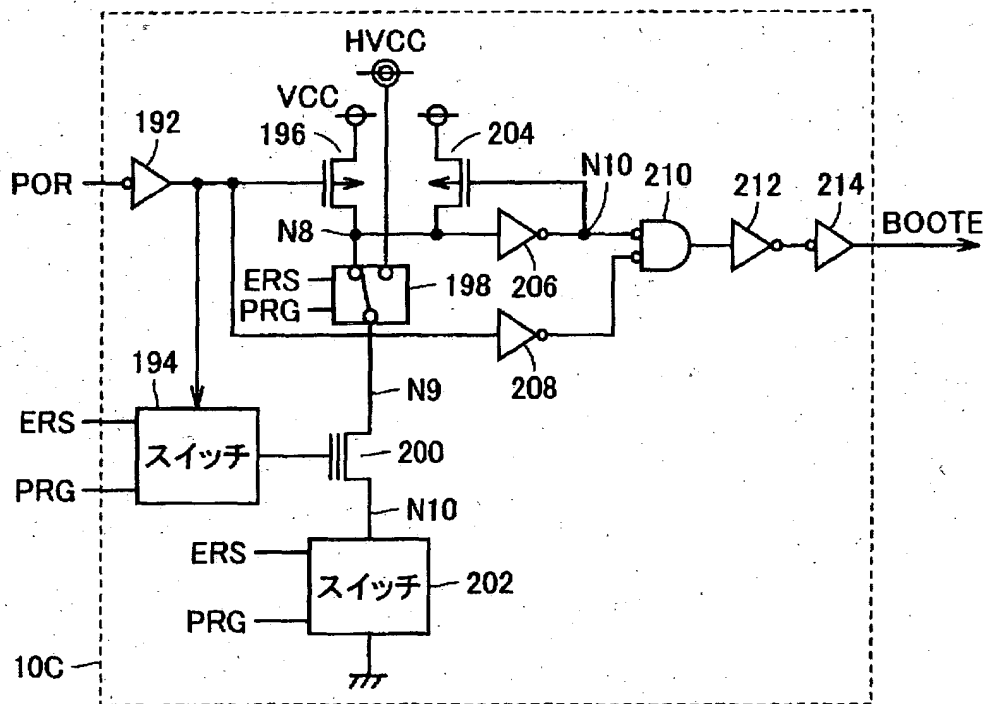
【図 1 2】



【図 1 3】

LTヒューズ	BOOTE
カット	H
導通	L

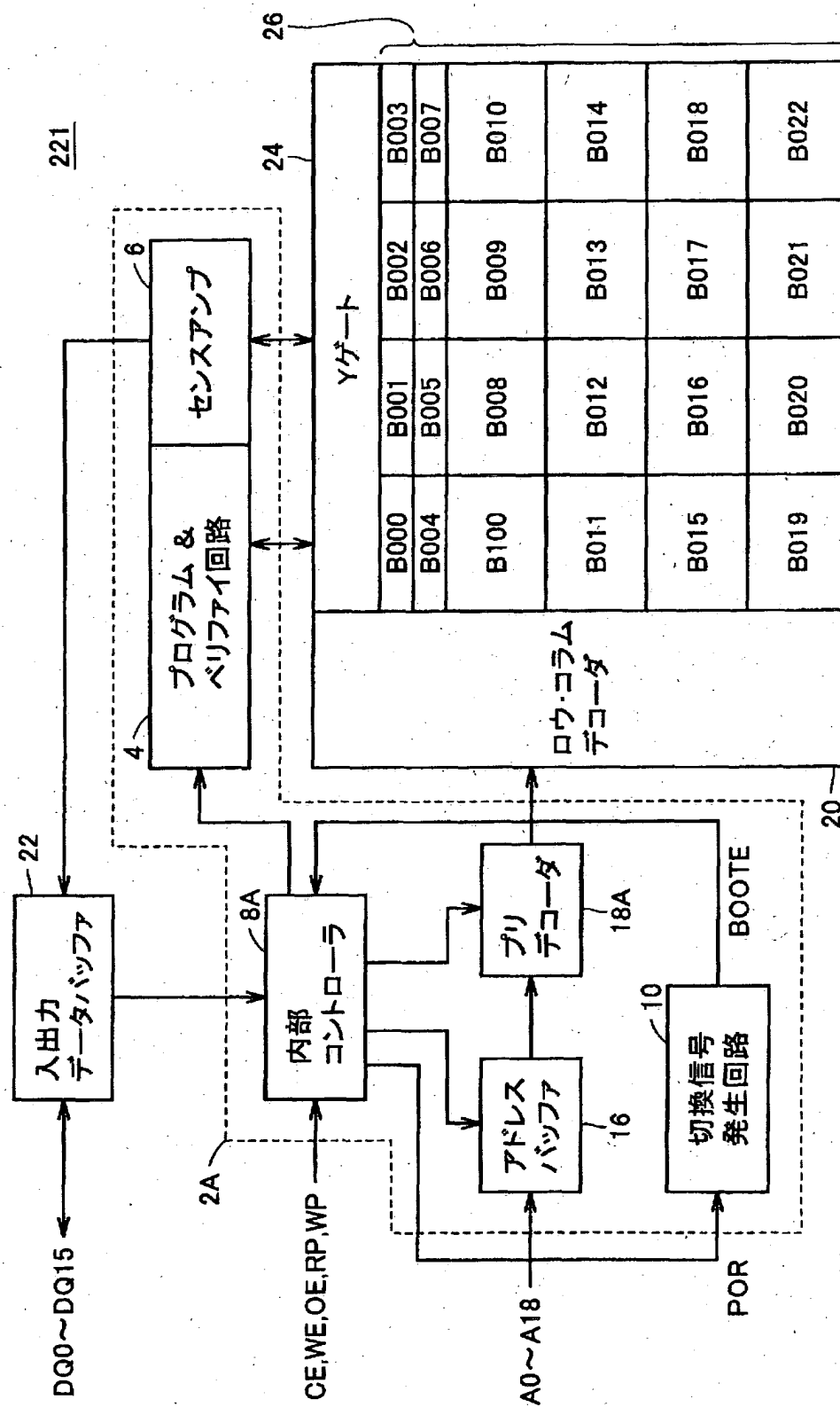
【図 1 4】



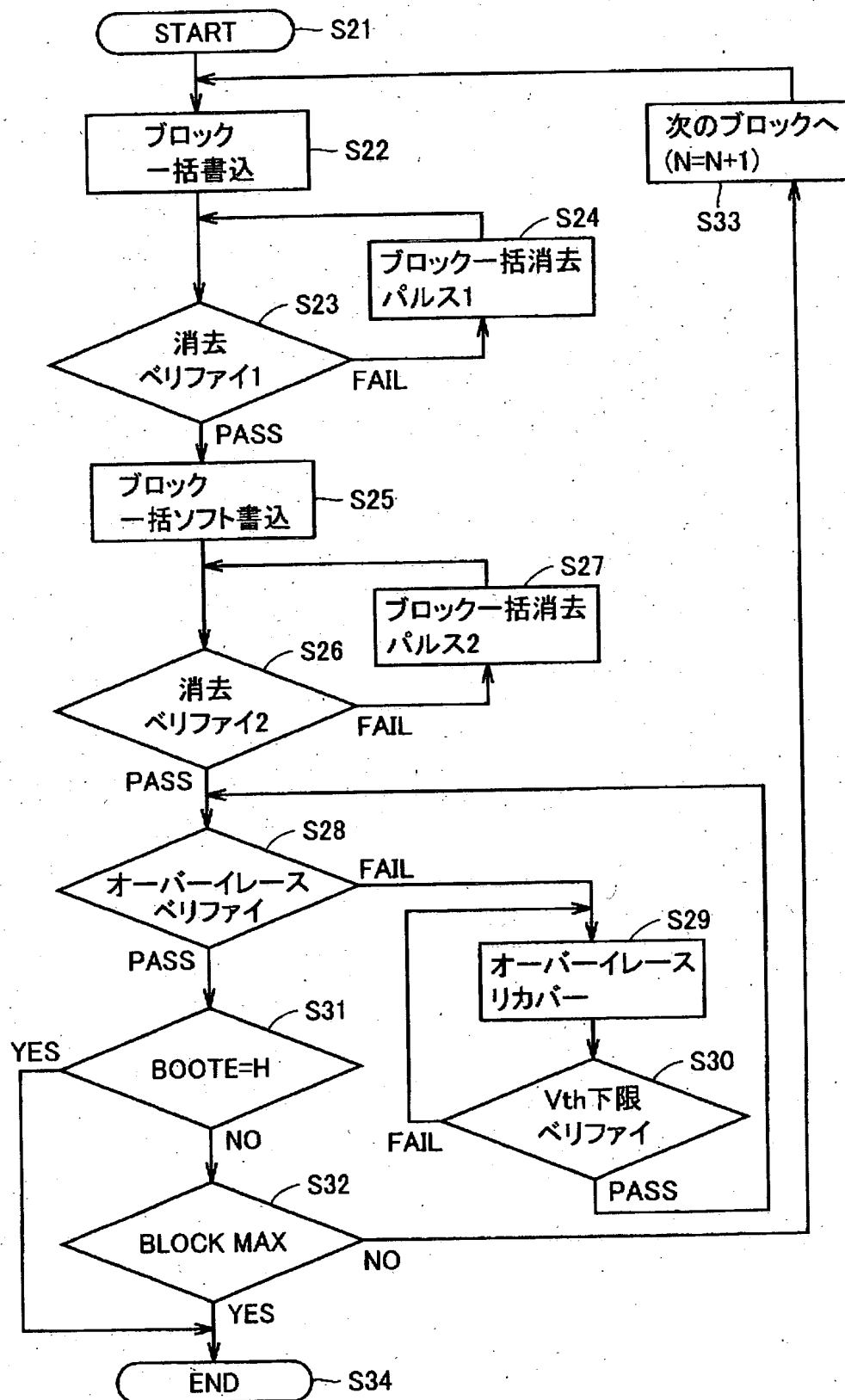
【図 1 5】

メモリトランジスタVth	BOOTE
高	H
低	L

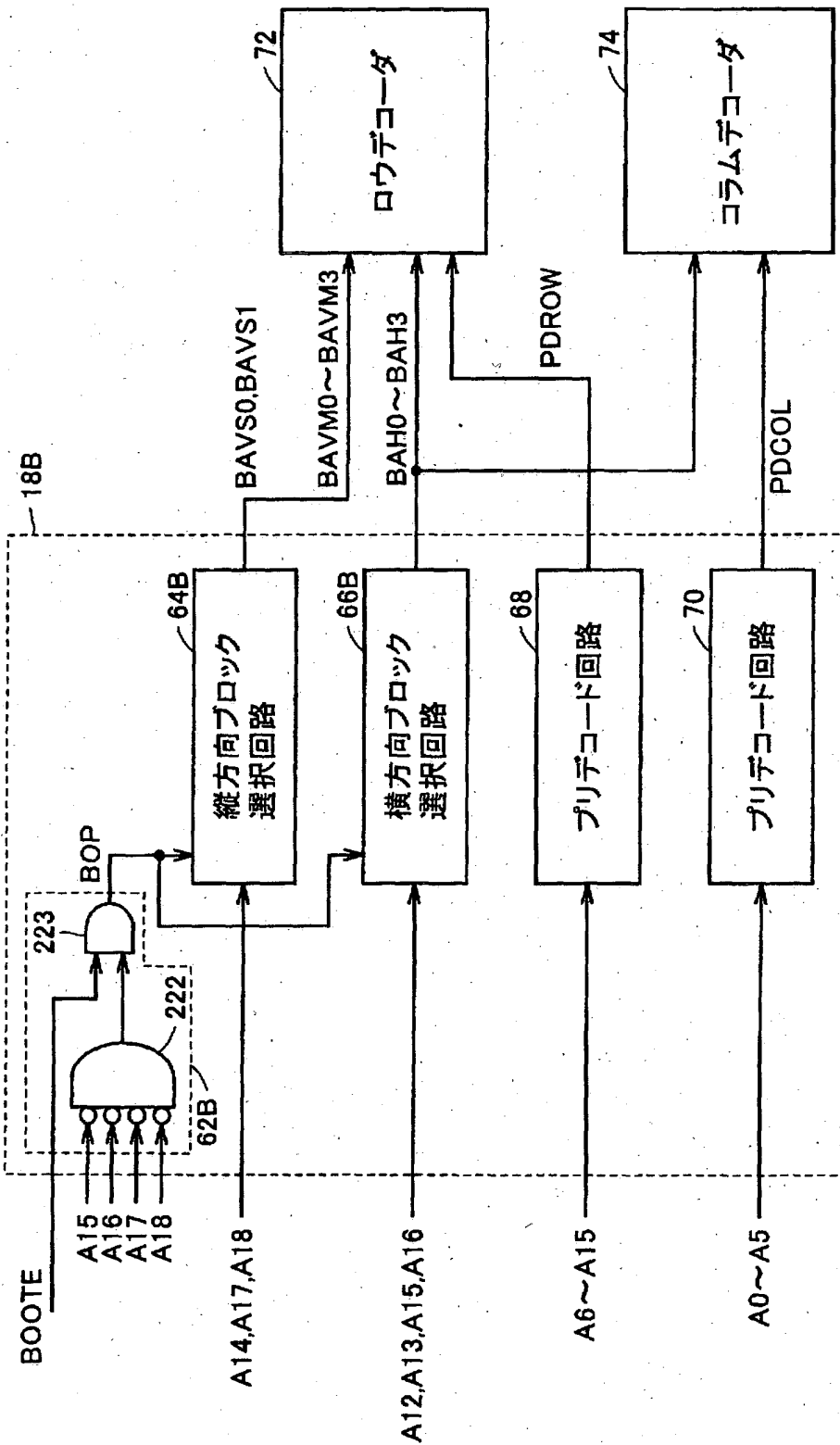
【図 1・6】



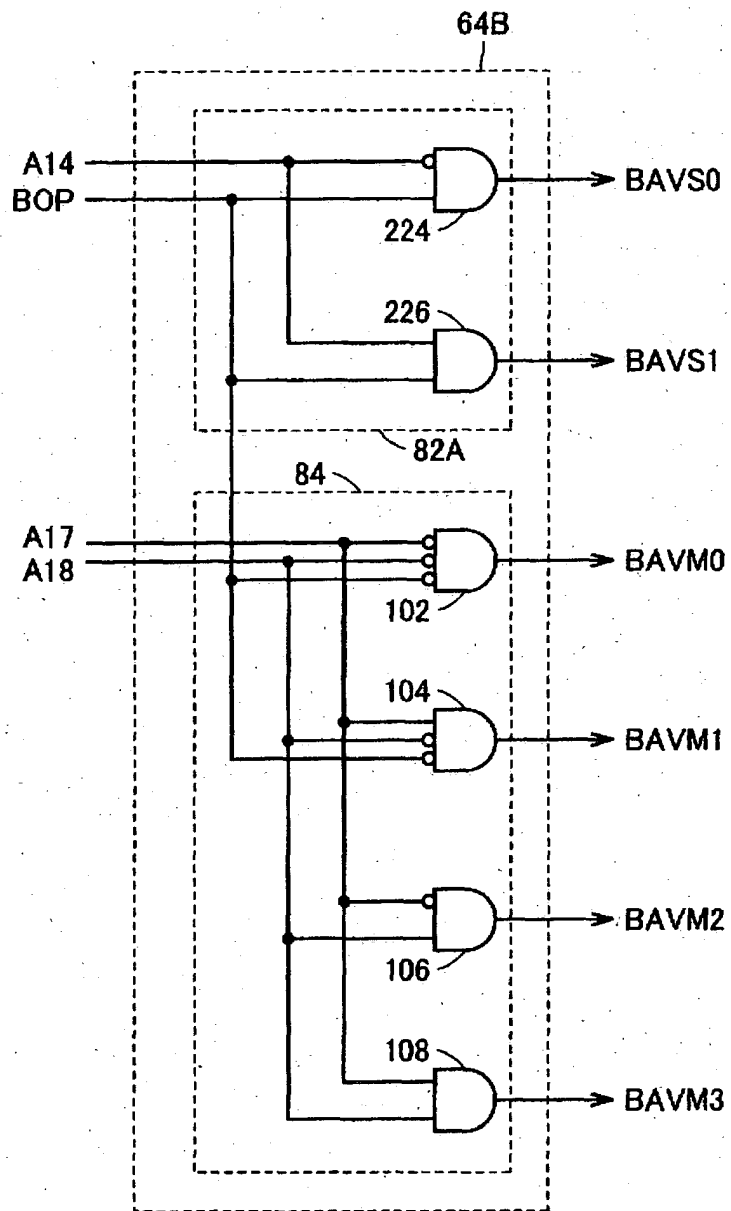
【図 17】



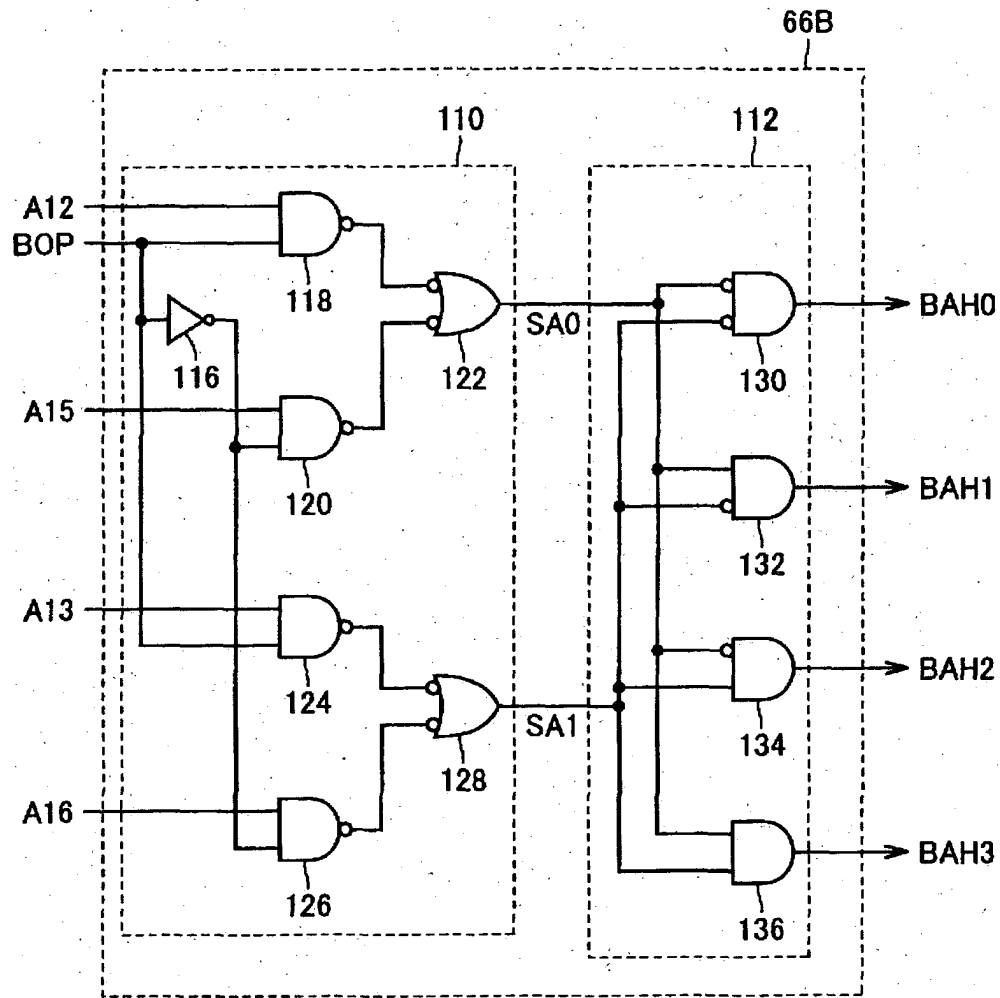
【図 18】



【図19】



【図20】

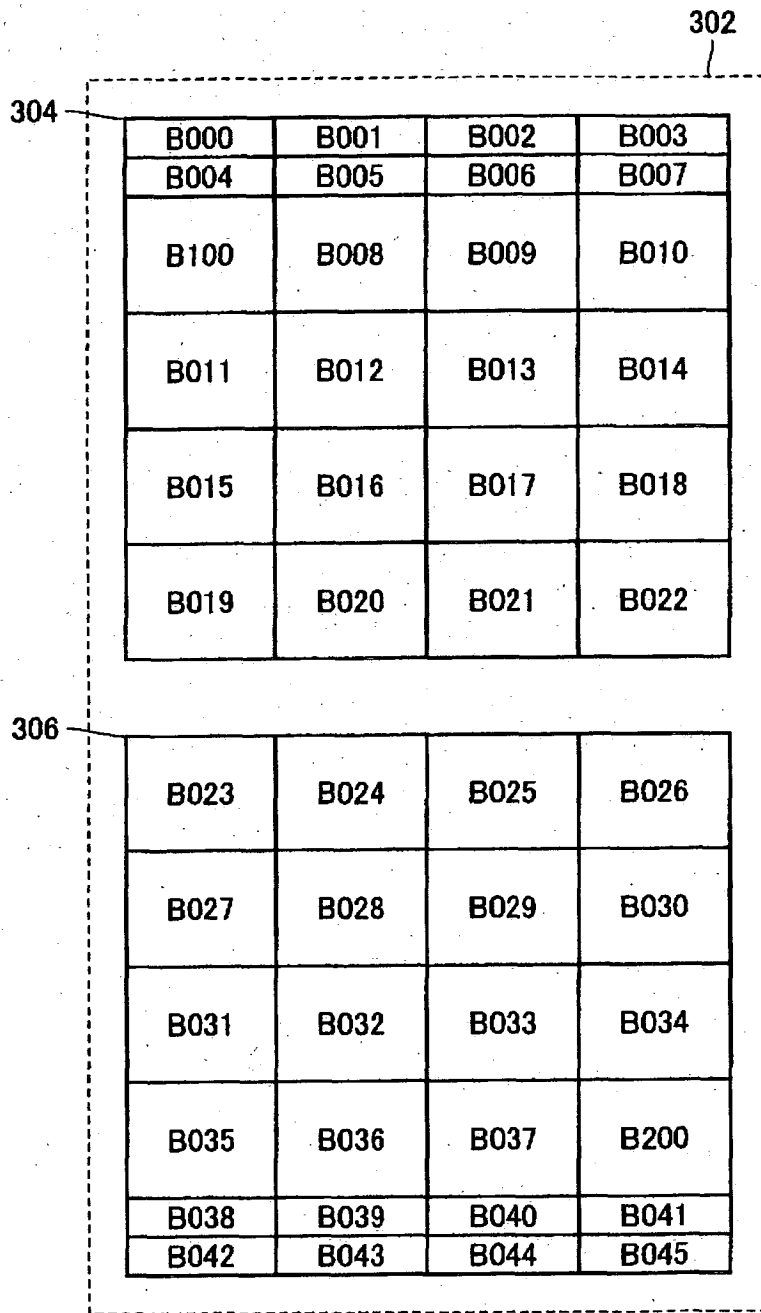


【図 2 1】

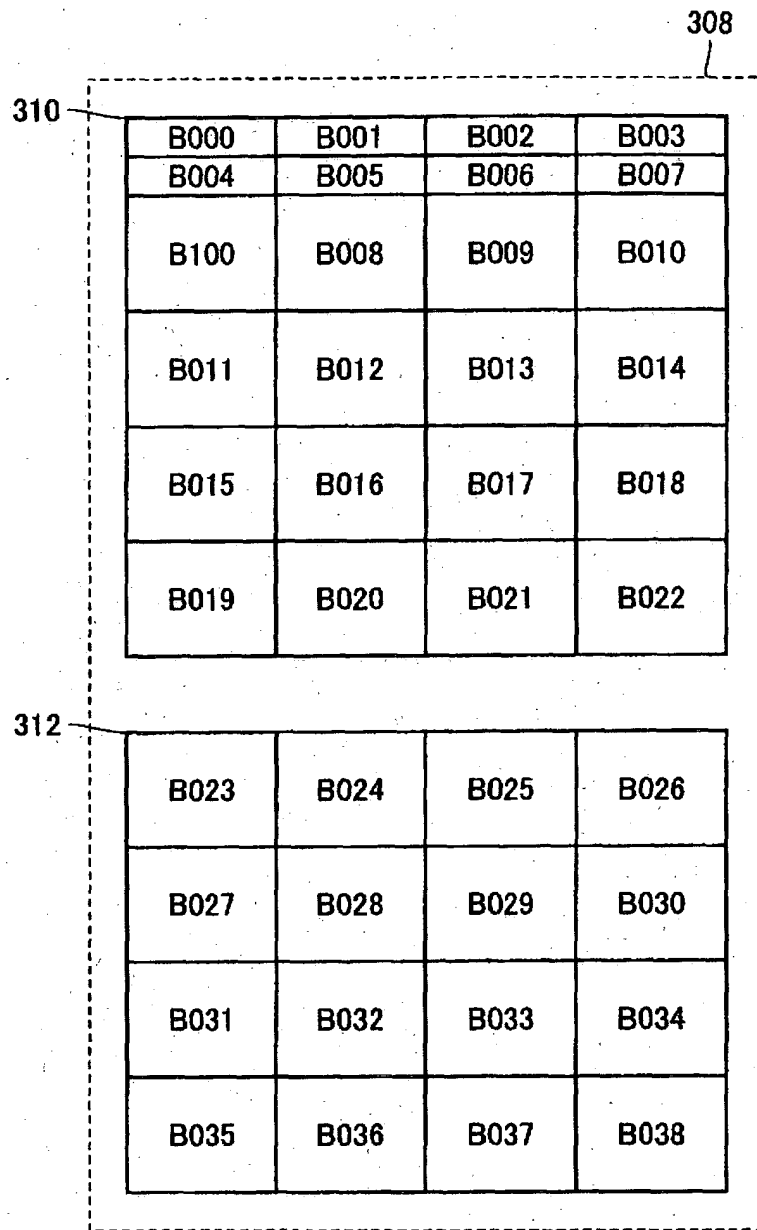
300

ボトムブートに対応 (B000	B001	B002	B003
	B004	B005	B006	B007
	B100	B008	B009	B010
	B011	B012	B013	B014
	B015	B016	B017	B018
	B019	B020	B021	B200
トップブートに対応 (B022	B023	B024	B025
	B026	B027	B028	B029

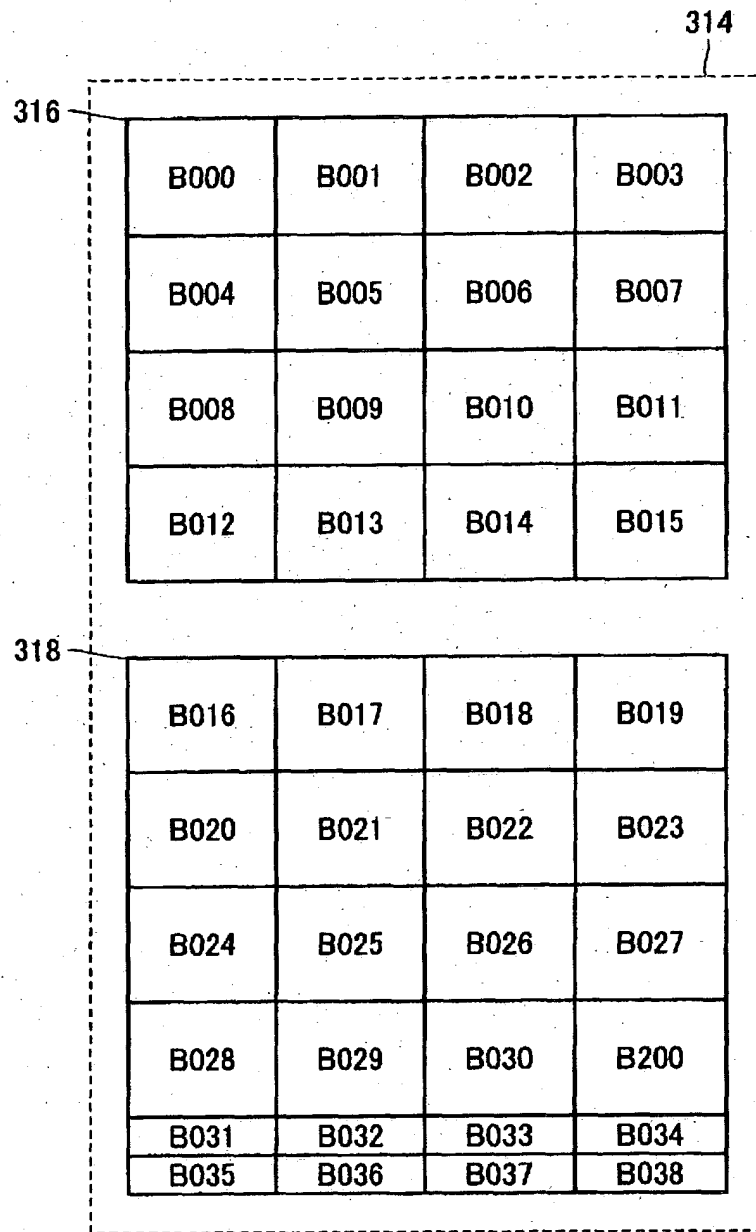
【図 2 2】



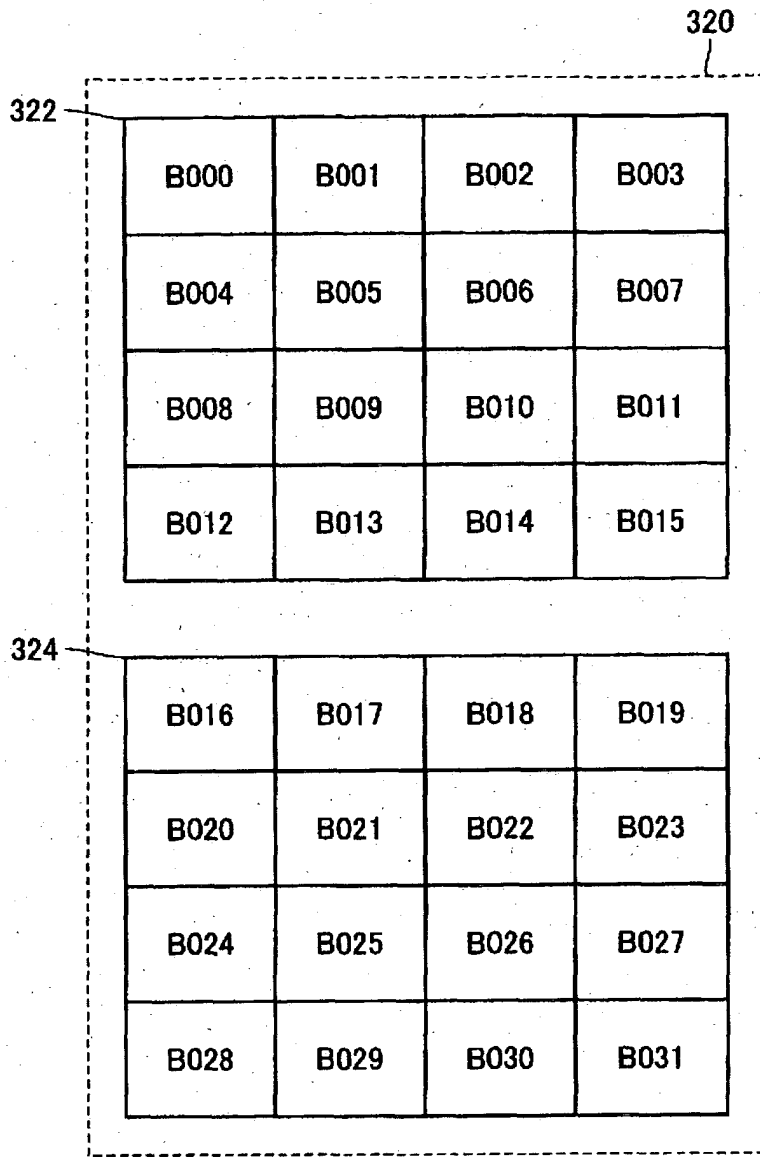
【図 2 3】



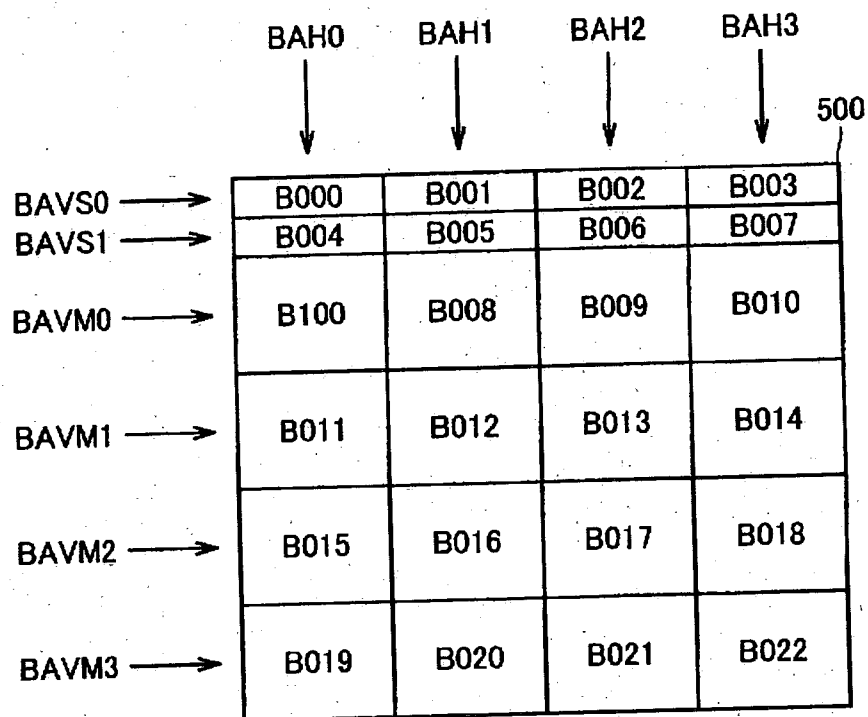
【図 2 4】



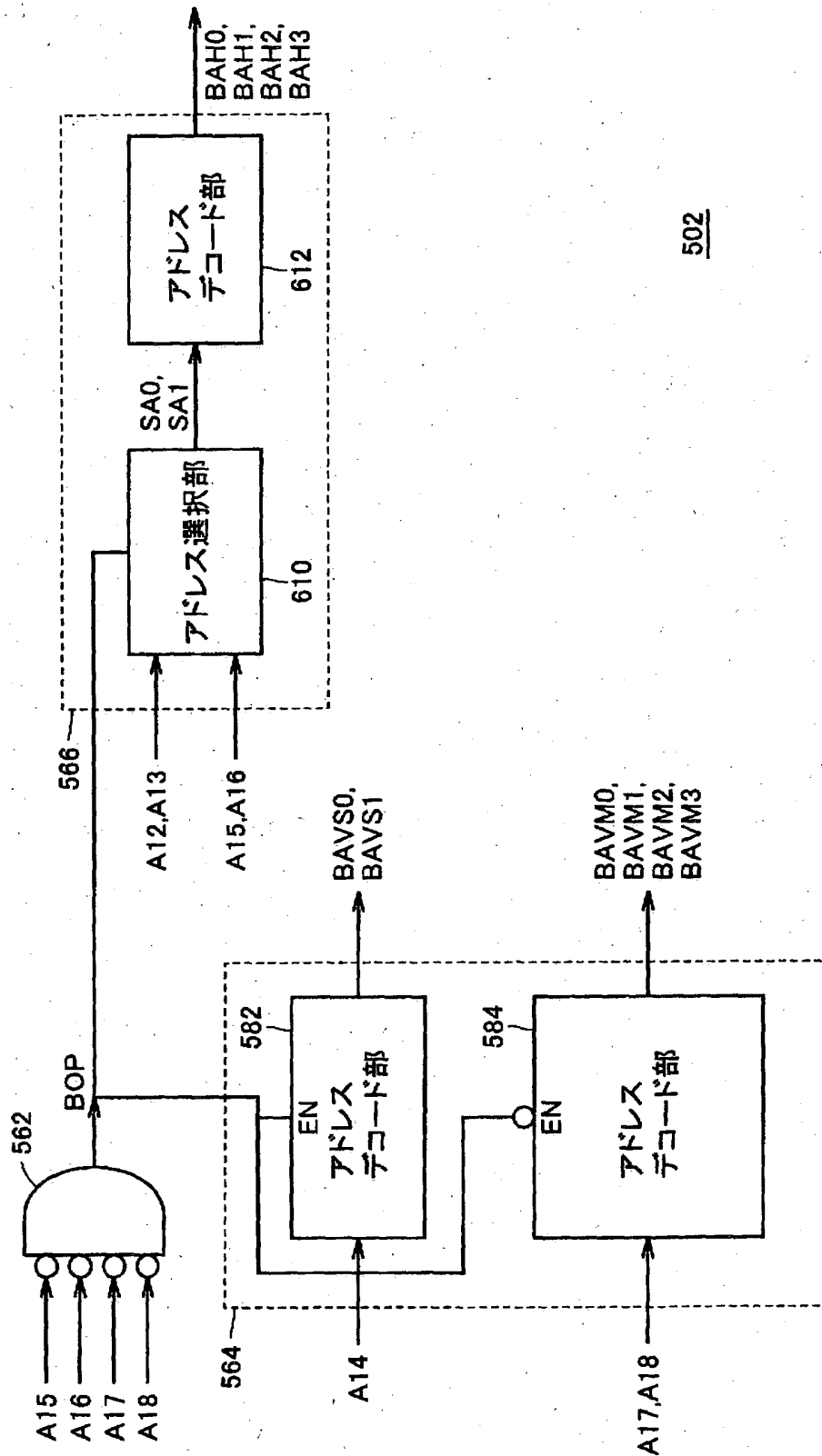
【図 2 5】



【図 26】

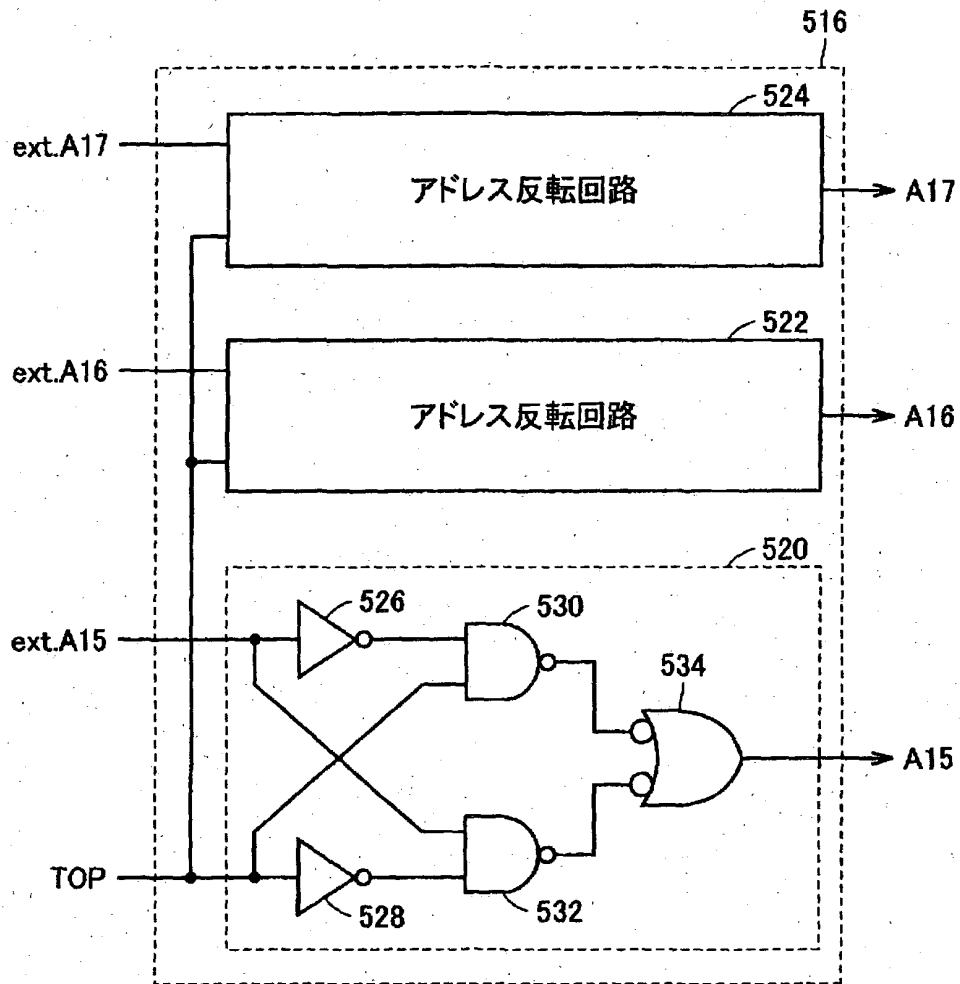


【図27】

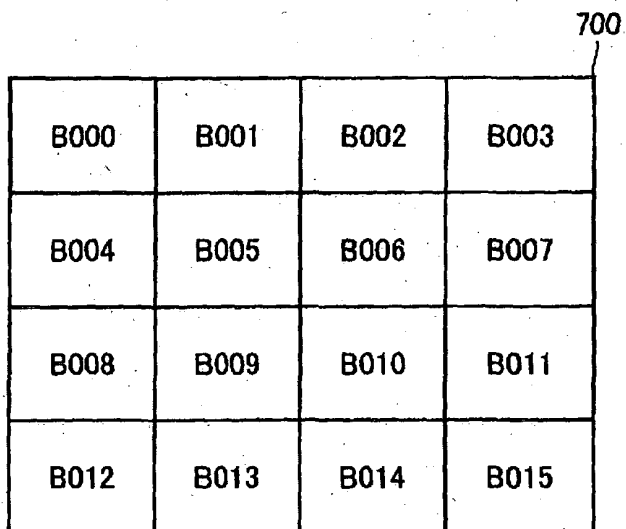


502

【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 ブートブロックを含む場合と含まない場合のフラッシュメモリを1チップで同時に実現し、設計、製造を簡単化する。

【解決手段】 ブロックB000～B007は、通常のブロックよりも小さな記憶容量のブートブロックおよびパラメタブロックである。ブートブロックが不要の場合には、ボンディングオプション等で信号BOOTEをLレベルに設定する。消去時において信号BLKSELがHレベルの場合には制御部2は、横方向に並ぶ4ブロックの同時選択を行なう。また、制御部2は、このとき、縦方向の2ブロックの同時選択を行なう。その結果ブロックB000～B007の8つのブロックの選択が行なわれる。ブートブロックおよびパラメタブロックは、通常ブロックと同様の容量を有する1つのブロックとして一括消去が可能となる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社